



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

주파수 영역 해상도 확장 기법의
양자화 장치와 이에 기반한 고품질
오디오용 저 전압 시그마 델타
ADC 설계에 관한 연구

Low-Voltage and High-Fidelity
Audio Sigma Delta ADC
Utilizing a Resolution Enhanced Quantizer
with Frequency Domain Technique

2014 년 2 월

서울대학교 대학원
전 기 · 컴 퓨 터 공 학 부

조 준 수

주파수 영역 해상도 확장 기법의 양자화 장치와 이에 기반한 고품질 오디오용 저 전압 시그마 델타 ADC 설계에 관한 연구

Low-Voltage and High-Fidelity Audio Sigma Delta
ADC Utilizing a Resolution Enhanced Quantizer
with Frequency Domain Technique

지도교수 김 수 환

이 논문을 공학박사 학위논문으로 제출함

2013 년 12 월

서울대학교 대학원

전기 · 컴퓨터공학부

조 준 수

조준수의 공학박사 학위论문을 인준함

2014 년 1 월

위 원 장 _____ (인)

부 위 원 장 _____ (인)

위 원 _____ (인)

위 원 _____ (인)

위 원 _____ (인)

목 차

제 1 장 서론.....	1
제 1 절 연구의 목적.....	1
제 2 절 배경 이론.....	6
제 1 항 ADC 기초	6
제 2 항 오디오 신호의 특성과 ADC 의 특성	10
제 2 장 고품질 디지털 오디오 시스템을 위한 시그마 델타 ADC ...	16
제 1 절 ADC 노이즈원의 배분	18
제 1 항 열 잡음.....	18
제 2 항 양자화 노이즈	19
제 3 항 $1/f$ 노이즈.....	20
제 2 절 시그마 델타 변조기의 구조.....	23
제 3 절 회로 구현.....	27
제 4 절 설계 검증	47
제 5 절 측정 결과	49
제 6 절 결론.....	58
제 3 장 저 전압 동작에 적합한 양자화 장치를 기반으로 한 오디오 ADC.....	59
제 1 절 저 전압 소자 사용에 대한 고려	62
제 2 절 시그마 델타 변조기의 구조.....	64
제 3 절 검증을 위한 설계 목표.....	79
제 4 절 전체 구조.....	80
제 5 절 회로 구현	84
제 6 절 설계 검증	100

제 7 절 결론	103
제 4 장 결론 및 차후 계획	104
참고 문헌	106
Abstract.....	109

그림 목차

그림 1. 다양한 오디오 시스템.....	2
그림 2. 최근 오디오 시스템의 구성 요소들	3
그림 3. ADC 종류 별 성능 및 Bandwidth.....	6
그림 4. Nyquist Rate Sampling 과 Over-Sampling/Noise Shaping 의 개념도	7
그림 5. 시그마 델타 ADC 의 블록 다이어그램	8
그림 6. 귀의 단순화된 구성 그림	13
그림 7. 저항에 의한 열 잡음과 Bandwidth 제한의 영향	18
그림 8. C1FF 구조의 시그마 델타 변조기	23
그림 9. 최종 선택된 구조	26
그림 10. Switched Capacitor 기반의 3 차 4 레벨 시그마 델타 변조기.....	27
그림 11. Non-overlapping 클럭 발생기	30
그림 12. 4 레벨 양자화 장치의 구조.....	31
그림 13. 비교기 회로	31
그림 14. DWA 구조도	33
그림 15. Switched Capacitor Integrator 동작.....	34
그림 16. Settling 동작과 Slew Limit 에 의한 동작	35
그림 17. 첫 번째 적분기에 사용된 Full Differential Gain Boosted OPAMP	36
그림 18. 두 번째와 세 번째 적분기에 사용된 OPAMP 와 CMFB.....	37
그림 19. Current Bias Generator.....	39

그림 20. Single Ended To Differential Convertor	40
그림 21. Single Ended To Differential 에 사용된 Constant-Gm Rail to Rail OPAMP	41
그림 22. Decimator 및 시리얼 오디오 인터페이스	42
그림 23. Decimator 의 주파수 응답 특성(전 대역, 신호 대역)	43
그림 24. I ² S Timing Diagram	44
그림 25. Stereo 시그마 델타 ADC 의 Layout 사진	45
그림 26. 설계한 칩의 구조	46
그림 27. 설계한 칩의 테스트 환경	47
그림 28. Stereo 시그마 델타 ADC 의 Micro Photo	49
그림 29. 측정결과, SNR, SNDR	51
그림 30. 측정 결과, FFT	52
그림 31. 측정결과, THD vs. Amplitude/Frequency	53
그림 32. 측정 결과, Frequency Response, Passband Ripple.....	55
그림 33. 제안하는 양자화 장치 구조.....	67
그림 34. 적분기 기반과 Error Feedback 기반 시그마 델타 변조기.....	68
그림 35. FIR 필터의 특성	71
그림 36. 차분기와 적분기의 사용	73
그림 37. 양자화 노이즈에 의한 신호 포화 및 차분/적분기에 의한 개선	74
그림 38. 구현된 양자화 장치의 성능.....	76

그림 39. 양자화 장치에 따른 시그마 델타 변조기의 성능 비교	77
그림 40. Cascade of Resonators, Feed Forward form, Delaying Quantizer (CRFFD)의 구조.....	82
그림 41. AMNSAR2 구조	83
그림 42. 수정된 구조	85
그림 43. Schematic 전체	86
그림 44. Non-overlapping Clock	87
그림 45. CRFFD 기본 Timing 과 양자화 장치 구현에 따라 변경된 Timing.....	88
그림 46. 전체 Non-overlapping 클럭 발생기와 내부에 사용된 4 Phase Non-overlapping 클럭 발생기의 구성도.....	89
그림 47. Input Sampling 시 Switch 와 Capacitor 에 의한 RC	90
그림 48. 첫 번째 적분기에 사용된 AB Class OPAMP.....	95
그림 49. 두 번째 적분기와 제안한 양자화 장치에 사용된 AB Class OPAMP.....	96
그림 50. Layout 도면	99
그림 51. AMNSAR2 Transient Noise Simulation 결과	102

표 목차

표 1. 음원 별 샘플링 주파수	10
표 2. 동작 조건	17
표 3. Sigma-Delta Modulator 목표 성능	17
표 4. 노이즈 배분	21
표 5. 시작품 칩의 특성	49
표 6. 성능 측정 결과	50
표 7. 칩에 따른 Noise Power Variation	57
표 8. 동작 조건	79
표 9. Sigma-Delta Modulator 목표 성능	79
표 10. 노이즈 배분	80

제 1 장 서론

제 1 절 연구의 목적

반도체 공정의 혁신적 발전은 우리 삶에 큰 변화를 가져 오고 있다. 20 세기 중반까지는 미래에 나타날지도 모르는 꿈 같은 기술로 여겨지던 것들이 21 세기에 들어서 현실로 구현되어 우리의 일상에 중요한 부분을 차지하고 있다. 다양한 기능이 집적된 손바닥 만한 크기의 스마트폰을 통해 우리는 지금 이 순간에도 지구 반대편의 사람과 자료 및 정보를 실시간으로 나누며, 얼굴을 보며 이야기 할 수 있는 세상에 살고 있다.

반도체 공정의 발전은 Moore 의 법칙[1]으로 대표되곤 한다. 미국 Intel 사의 공동 창업자인 Gordon Moore 가 1965 년에 한 잡지에서 예측한 이 법칙은 반도체 공정의 발전에 따라서 앞으로 회로의 집적도가 매 2 년마다 2 배씩 증가할 것이라는 예측이었다. 비록 최근에 들어 발전 추세가 감소하고 있지만, 반도체 공정의 발달에 따른 집적도 증가는 반세기 정도 거의 정확하게 이 법칙의 예상치를 달성하며 발전하였다. 집적도의 향상은 기능 구현에 필요한 자원 소모와 시간을 줄여서 비용 감소를 가지고 올 뿐만 아니라, 회로 구현 시 발생하는 기생 소자들을 줄여서 동작 속도 역시 빨라지는 결과를 가지고 왔다.

이에 따라서 디지털 회로는 더욱 작아지고 빨라졌으며, 저가의 디지털 신호 처리 및 제어가 현실화 되었다. 최근에 사용되는 반도체 부품들은 대부분 디지털 회로를 내장하고 있어서 디지털 신호 처리 및 제어의 장점을 사용하고 있다. 따라서, 대부분의 시스템은 이러한

부품들을 바탕으로 전체 시스템을 조정하는 중앙처리장치(CPU) 혹은 전용 디지털 회로를 포함하고 있으며, 부품들의 집적도 향상에 따라 더욱 다양한 기능과 높은 성능을 구현하게 되었다. 예를 들어, 이전의 오디오 시스템 구성은 Tape 나 LP 와 같이 단순한 기록매체의 음원으로부터 오디오 신호를 받아서 증폭하여 스피커를 구동하였었다. 하지만 요즘은 인터넷에서 비디오 상의 음원 소스를 포함한 다양한 음원을 무선 혹은 유선으로 받아 이를 음장 효과, Equalization, 스피커 보상 등의 다양한 디지털 신호처리를 거침으로써 사용자가 좀더 생생한 음을 느낄 수 있도록 하여 스피커를 구동하는 방식으로 발전하였으며, 이러한 시스템의 소형화가 가능해 졌다.



그림 1. 다양한 오디오 시스템

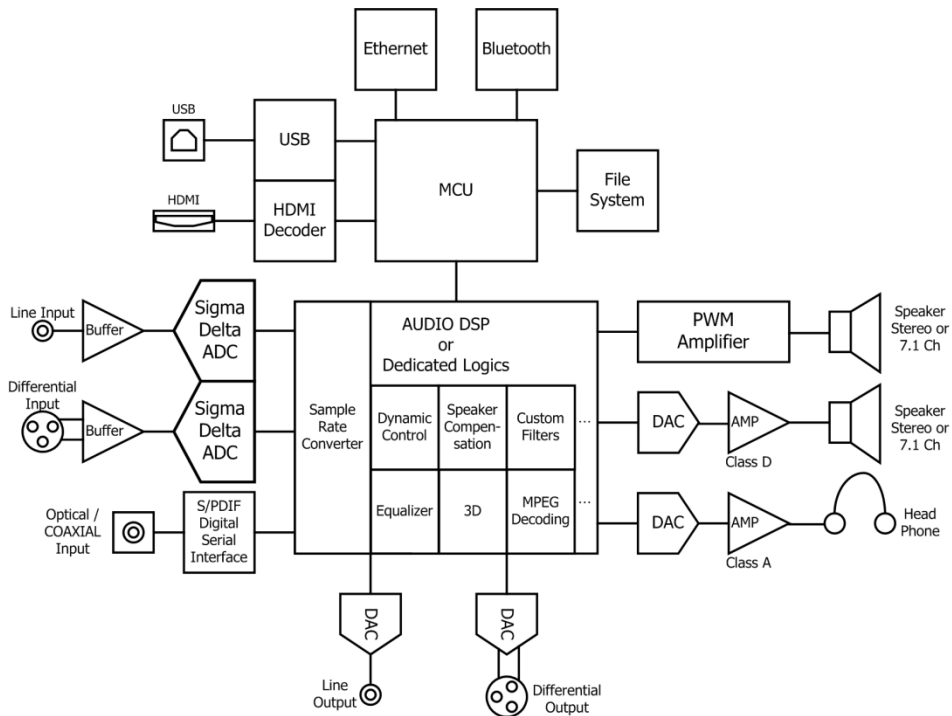


그림 2. 최근 오디오 시스템의 구성 요소들

비록 디지털 신호처리 및 제어의 발달로 인하여 시스템의 기능이 크게 발전하고 다양해 졌지만, 기본적인 시스템의 성능은 신호의 입력과 출력을 담당하는 아날로그 회로의 성능에 의하여 제한된다. 이는 자연 환경에서 접하는 신호의 대부분이 아날로그 신호이기 때문에, 바뀌기 어려운 근본적인 제한에 해당한다. 따라서 아날로그 신호를 디지털 신호로, 혹은 디지털 신호를 아날로그 신호로 변환해서 전달해주는 회로는 디지털 신호 처리 및 제어를 가능하게 하는 매우 중요한 역할을 한다. 이 중에서 Analog to Digital Converter(ADC)는 자연계 혹은 다른 시스템으로부터 받은 아날로그 신호를 디지털 신호로 변환해 주는 역할을 하는 장치이다. 따라서, ADC의 성능은 해당 시스템이 가질 수 있는 최대의 성능을 제한하게 된다.

반도체 공정의 발전은 디지털 회로의 발전을 가지고 왔지만, 아날로그 회로 설계는 일반적으로 제한이 늘어나는 추세가 지속되어 왔다. Transistor 의 크기를 줄이기 위한 노력은 소자의 크기가 줄어들면서 Transit Frequency 의 증가로 이어져 전체 회로를 빠르게 동작 시킬 수 있게 되었다. 하지만, 소자의 크기가 줄어들며 따라 신호 및 Channel 사이의 간격이 크게 줄어들면서 Electric Field 가 증가하여 여러 가지 Side Effect 를 불러왔다. 이러한 문제를 줄이기 위해 동작 전압을 낮추어 왔지만, Threshold 전압은 그만큼 낮아지지 못함으로써 상대적으로 소자의 동작 가능한 전압 범위가 줄어들었으며, 이에 따라 이전처럼 전압 Margin 을 주고 Operating Point 를 설정하기가 어려워져 Output Impedance 의 변화에 의한 Distortion 이 증가하게 되었다. 또한 Threshold 전압이 낮아지면서 Current Leakage 가 늘어나 소자의 Current Gain 이 제한 받게 되었고, Current 오차도 커지게 되었다. 이러한 문제점들은 Device 의 Output Gain 이 떨어지는 문제 또한 발생시켰다[2].

이에 따라 아날로그 회로의 기본적인 부품인 OPAMP 의 설계는 제약사항이 점점 많아지고 있는 추세이다. 이러한 Effect 들을 줄이기 위하여 아날로그 회로에 사용하는 소자의 Length 를 크게 줄이지 못하여 디지털 회로에 비해 집적도를 높이지 못하고 있으며, 또한 사용할 수 있는 설계 방법론도 제약되고 있다. 예를 들어 Telescopic 구조의 OPAMP 는 동작 전압 범위 문제로 최근 공정에서는 실질적으로 설계가 어렵다.

ADC 설계 측면에서 보면, 저 전압 동작은 입력 신호의 최대 값이 줄어들음을 의미한다. 이는 동작 전압이 낮아진 회로에서 ADC 의 성능

지표인 신호 대 잡음 비 (Signal to Noise Ratio: SNR)를 기존의 높은 전압에서 동작하는 ADC 와 동일하게 얻기 위해서는 신호가 줄어드는 만큼 회로의 노이즈 역시 줄어야 함을 의미한다. 일반적으로 이를 달성하기 위해서는 더 많은 회로 자원을 이용해야 한다. 또한 ADC 는 기본적으로 전압의 크고 작음을 판단하는 장치이므로, 이러한 판단을 할 수 있는 정밀도에 제약이 생기게 된다.

따라서, 이러한 제약 사항을 극복할 수 있는 설계 방법론이 필요하게 된다. 이 논문의 전반부에서는 기존 오디오용 ADC 설계에 많이 사용되는 시그마 델타 변조 구조를 이용한 Consumer 오디오 시장을 목표로 하는 ADC 개발에 대하여 논한다. 이 결과를 바탕으로 반도체 공정 발달에 의한 동작 전압 저하에 대비하여 설계를 용이하게 할 수 있는 구조를 제안하고, 이 구조를 바탕으로 한 설계에 대하여 논한다.

제 2 절 배경 이론

제 1 항 ADC 기초

ADC 는 구현 방법에 따라서 크게 Nyquist ADC 와 시그마 델타 ADC 로 크게 나눌 수 있다. Nyquist ADC 는 샘플링 이론에 의해 샘플링 된 신호가 완벽히 복원 될 수 있는 샘플링 주파수인 Bandwidth 의 2 배 근처의 주파수를 샘플링 주파수로 이용한다.

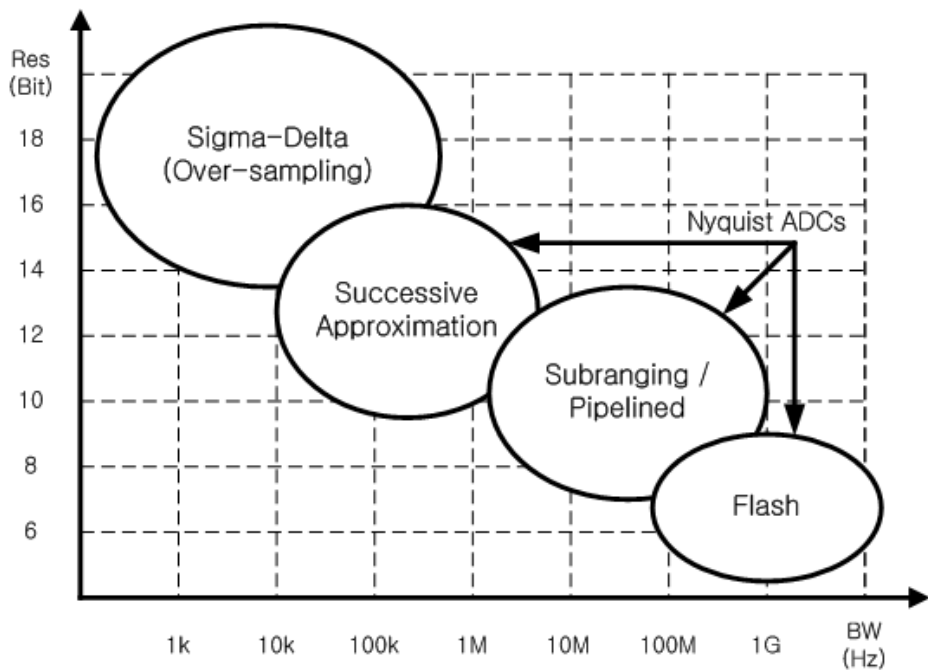


그림 3. ADC 종류 별 성능 및 Bandwidth

이러한 종류의 ADC 는 일반적으로 반도체 공정의 한계에 의한 기본 소자들의 Variation 과 구성하는 소자들의 Noise 에 의하여 구현 가능한 해상도가 제한 된다. 상용 및 최근 논문들에서 논의된 Nyquist ADC 를 보면 반도체 공정이 발달함에 따라서 동작 주파수가 올라가는 이점을 얻었지만, 달성할 수 있는 해상도에는 근본적인 변화가 없음을

알 수 있다.

이 논문에서 논의할 주제인 시그마 델타 ADC 는 Oversampling 과 Noise Shaping 기법을 이용하여 반도체 공정 한계에 의한 기본 소자들의 Variation 에 의한 해상도 성능 제한을 넘어선다. Oversampling 기법은 Nyquist 샘플링 주파수보다 높은 샘플링 주파수를 사용하여 필요보다 넓은 대역을 샘플링 하는 기법이다. 이 기법은 추후에 신호 외 대역의 노이즈를 필터로 제거하고 사용한다는 가정을 전제로 한다. 샘플링을 할 때 신호에 존재하는 노이즈는 같은 양이 Bandwidth 전체에 균일하게 퍼지게 된다. 전체 노이즈의 양은 동일 하므로 Bandwidth 가 넓어지면 넓어질수록 신호 대역에서의 노이즈 레벨은 내려가게 된다. 따라서 신호 외 대역의 노이즈를 필터로 제거하면 신호의 SNR 은 높아지게 된다. Oversampling 기법은 일반적으로 신호대역과 실제 샘플링 한 주파수의 비율인 Oversampling Ratio(OSR)를 2 배 높일 때 마다 3 dB 의 SNR 개선 효과를 보이는 것으로 알려져 있다.

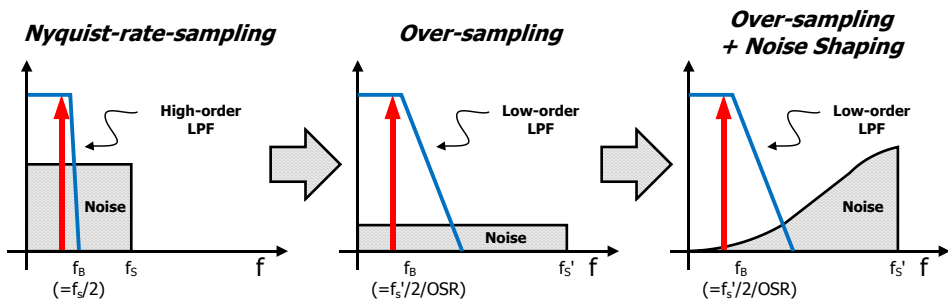


그림 4. Nyquist Rate Sampling 과 Over-Sampling/Noise Shaping 의

개념도

노이즈 셰이핑 기법은 양자화 처리 시 신호에 더해지는 노이즈를 입력으로 Negative Feedback 시키고, 여기에 Filter 를 적용함으로써 양자화 노이즈를 주파수 영역에서 변화시켜 신호대역에 남은 노이즈를 최소화 하고, 나머지 노이즈를 신호 외 대역으로 보내는 기법이다. 노이즈 셰이핑은 신호대역보다 높은 영역으로 노이즈를 보내야 하므로 기본적으로 Oversampling 된 신호에 적용되는 기법이다. 따라서, 셰이핑된 노이즈 중 신호 외 대역을 필터로 제거 하여 신호 대역은 높은 SNR 을 얻을 수 있게 된다. 노이즈 셰이핑의 효과는 필터의 차수와 OSR 에 따라서 결정되며, 단순히 OSR 을 높이는 것 보다 훨씬 높은 SNR 개선 효과를 얻을 수 있다.

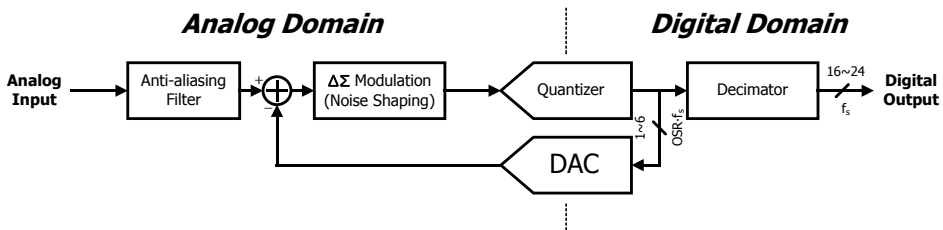


그림 5. 시그마 델타 ADC 의 블록 다이어그램

1962 년 H.A.Spang 과 P.M.Shiltheiss 의 논문 [3] 에 논의된 이후 시그마 델타 변조는 높은 해상도를 요구하는 장비와 오디오 시장에서 주로 사용되어 왔다. 개발 초기에는 여러 개의 칩을 이용하여 Module 로 구성되어 사용되었으며, 반도체 공정에서도 특히 CMOS 공정이 발달함에 따라서 아날로그와 디지털 회로 모두 한 칩에 집적되어 판매되었다. 디지털 회로의 집적도가 올라감에 따라 디지털 신호 처리가 발전하면서 다양한 기능의 부가 회로가 추가되어 왔다.

시그마 델타 변조기는 Oversampling 기법을 사용하기 때문에 기본적으로 회로의 동작속도가 신호 대역보다 훨씬 높다. 이처럼 회로가 높은 주파수로 동작해야 하므로, 적용 가능한 응용 분야가 제한되어 왔다. 하지만 반도체 공정의 발달에 따라 Device의 속도가 빨라지고 회로 기법 및 구조가 발전하면서, 최근에는 RF Baseband용 ADC로 그 영역을 넓히고 있다.

약 60년간의 시그마 델타 ADC의 역사에서 가장 큰 두 개의 구분은 Continuous Time 동작과 Discrete Time 동작 구조라 할 수 있다. Discrete Time 시그마 델타 ADC는 Switched Capacitor 회로를 기반으로 신호를 Capacitor에 샘플링 하여 신호 처리하는 기법을 사용한다. 아날로그 회로에서 가장 정밀도가 높은 값 중의 하나인 Capacitor의 Matching을 기반으로 회로가 동작하기 때문에 정밀한 필터 구현이 가능하며, OPAMP의 Exponential Settling 특성을 이용하여 Sampling된 신호를 Charge 형태로 각 Capacitor에 이동시키기 때문에 높은 정밀도를 유지하면서 신호를 전달할 수 있다.

이와 다르게 Continuous Time 시그마 델타 변조기는 OPAMP를 아날로그 필터로 동작 시킨다. RC 시정수 값에 의해 계수가 결정되기 때문에 공정 변화에 민감한 특성을 보이지만, 매우 빠르게 동작할 수 있고, Capacitor Charging의 단계가 없으므로 전류소모도 훨씬 적은 편이다[4]. 따라서, Discrete Time 시그마 델타 ADC는 주로 장비와 오디오 분야 등의 신호 대역폭이 좁은 곳에서 많이 쓰이고, RF Baseband 처리 등에 사용되는 넓은 신호 대역폭이 필요한 응용 분야에는 Continuous Time 시그마 델타 ADC 구조를 이용하여 제품이 개발되고 있다.

제 2 항 오디오 신호의 특성과 ADC 의 특성

오디오 ADC 는 사람이 들을 수 있는 아날로그 신호를 디지털로 변환하는 것이 목적이므로, 사람의 귀 특성 및 그를 인지하는 사람의 신경회로 특성에 의해 그 요구 성능이 정해진다. 여기서는 오디오 신호의 특성을 사람의 청취 특성과 비교하여 알아보고, 이와 오디오 ADC 특성의 관계를 알아보도록 한다.

사람이 청취 가능한 주파수인 가청 대역은 일반적으로 20 Hz 에서 20 kHz 로 알려져 있다. 이는 사람마다 다르며, 일반적으로 노화에 따라 높은 주파수의 청취능력이 떨어진다. 따라서, 주로 사용되는 오디오 샘플링 주파수는 48 kHz 이다. 하지만, DVD Audio 등의 고급 음원은 192 kHz 의 샘플링 주파수를 사용하는데, 이는 신호처리 시 필터들의 특성으로 인해 자연 음과 다른 부분이 필연적으로 발생하는 것을 높은 샘플링 주파수의 사용으로 최소화 하기 위한 것이다.

표 1. 음원 별 샘플링 주파수

음원	샘플링 주파수
유선 전화	8,000 Hz
VoIP	16,000 Hz
Analog TV 음원	32,000 Hz
오디오 CD	44,100 Hz
Digital Video 음원 표준	48,000 Hz
Blue-Ray, HD-DVD	96,000 Hz
DVD-Audio, 프로 비디오 장비	192,000 Hz
SACD (1-bit stream)	2,822,400 Hz

CD 및 TV 방송을 통해 전달되는 일반적인 음원은 대부분 20 kHz 까지 정보를 담고 있으므로 Consumer Electronics 시장에서는 48 kHz 를 샘플링 주파수로 사용하는 시스템이 주를 이루며, DVD Audio 와 같이 192 kHz 샘플링 주파수로 녹음된 음원은 주로 고급 High Fidelity 오디오 시장에서 사용되고 있다. 따라서, 오디오 ADC 역시 48 kHz 샘플링 주파수를 지원하는 Consumer 제품을 위한 ADC 들과, 192 kHz 샘플링 주파수를 지원하는 고급 오디오 제품을 위한 ADC 들로 크게 나뉜다.

오디오 신호의 중요한 또 다른 특성에는 Dynamic 특성이 있다. 사람 귀의 특성에 따라 오디오 시스템에서는 매우 높은 해상도를 가지는 신호 특성을 요구한다. 사람이 인식할 수 있는 한계의 오디오 신호 크기와 사람이 고통스러워 하지 않고 인식할 수 있는 오디오 신호 크기의 차이는 100 dB 에 달한다[5]. Consumer Electronics 시장에서 사용되는 음원 소스는 90 dB 이상의 Dynamic Range 를 가지며, 오디오 ADC 는 이러한 사람 귀의 특성을 반영하여 일반적으로 15 bit 이상의 해상도를 요구한다. 그러므로, 오디오 ADC 의 SNR 은 최소 90 dB 이상이 되어야 한다. High Fidelity 를 요구하는 고급 오디오 시장에서는 100 dB 이상의 SNR 을 가지도록 해상도가 요구되며, 녹음실 등 최초의 음원을 만들어 내는 전문 오디오 시장에서는 120 dB 정도의 SNR 을 갖는 ADC 가 주로 요구된다. 이러한 요구 사항에는 높은 출력으로 소리를 재생하는 경우 공간의 크기 및 특성 등에 의한 감쇠 때문에 90 dB 의 Dynamic Range 를 훨씬 상회하는 높은 해상도를 가진 최초의 음원 신호가 필요한 것과, 여러 가지 신호 처리 시 발생할 수 있는 음원의 해상도 저하를 대비

하는 것이 포함되어 있다.

시그마 델타 변조를 기반으로 한 ADC 는 위에서 설명한 오디오 신호의 두 가지 특성인 상대적으로 좁은 신호 대역과 매우 높은 해상도를 요구하는 것에 잘 부합한다. 이는 시그마 델타 ADC 의 개발 초기에 적용된 분야가 오디오 분야였다는 점에서도 확인할 수 있다[6].

오디오용 ADC 에서 중요한 다른 하나의 성능 지표는 Harmonic Distortion 의 양이다. 사람의 귀는 홀수 차 Harmonics 와 짝수 차 Harmonics 에 대한 반응이 다르다. 일반적으로 홀수 차 Harmonics 에 대해서 불쾌감을 느낀다고 알려져 있어 이를 최대한 억제하는 것을 기본 목표로 한다. 짝수 차 Harmonics 들은 신호를 Differential 로 처리하면 대부분 상쇄되어 사라지는 것으로 알려져 있다.

사람이 소리에서 불쾌한 느낌을 받는 것을 최소화 하기 위해서는 홀수 차 Harmonics Distortion 이 어느 정도 이하로 제한 되어야 한다 [7]. 특히 Distortion 이 적은 소리에 훈련되어 있는 사람은 Distortion 에 매우 민감하게 반응 할 수 있을 뿐만 아니라 Distortion 은 음장감 및 음색 등에 영향을 끼칠 수 있기 때문에 고급 오디오 시스템에서는 매우 낮은 수준의 Distortion 발생을 요구한다.

개발 초기의 오디오용 시그마 델타 ADC 는 주로 1 bit 양자화 장치를 사용하였다. 1 bit 양자화 장치를 사용한 주된 이유는 근본적으로 선형적으로 동작하는 1 bit Digital to Analog Convertor(DAC)을 Feedback 에 사용할 수 있기 때문이다[8]. 1 bit 보다 높은 bit 수의 Feedback DAC 은 Component Mismatch 에 의하여 Distortion 을 발생시킨다. 하지만, 1 bit Feedback DAC 은

근본적으로 Mismatch 가 발생하지 않으므로, Distortion 을 중요 성능 지표로 삼는 오디오 분야에서는 이점이 큰 Marketing Point 가 되어 1 bit 양자화 장치를 이용한 시그마 델타 ADC 가 한때 주류를 이루었다.

하지만, 근래에는 주로 4 bit 이상의 양자화 장치를 많이 사용하고 있다. Multi-bit 양자화 장치를 사용한 시그마 델타 변조기에는 여러 장점들이 있지만, 그 중에서도 사람의 인식 특성으로 인해 오디오용 ADC 로 사용했을 때 큰 이점이 있다. 1 bit 시그마 델타 변조기의 가장 큰 단점은 낮은 입력이 들어오거나 DC 입력이 있는 경우, 변조된 신호의 Pattern 이 동일하게 반복되어 발생하는 Tonal 한 노이즈가 발생한다는 점이다. 그에 비하여 사람의 귀는 조용한 환경에서 Tonal 한 신호에 매우 민감한 특성을 보인다. 귀가 주파수 감지기의 형태로 되어 있기 때문에, 전체 노이즈의 양의 40%보다 큰 Tonal 한 신호가 있다면, 귀는 Tonal 한 신호를 인식하게 된다[9].

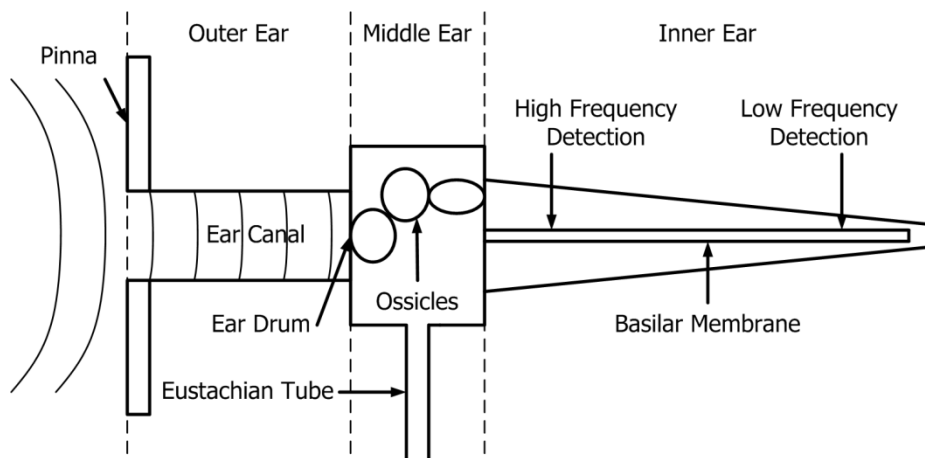


그림 6. 귀의 단순화된 구성 그림

귀의 달팽이 관은 유체로 채워진 관으로, 기저막에 특정 부위들이 특정 주파수 범위에 반응하는 구조로 되어 있다.

1 bit 양자화 장치를 이용하여 이러한 문제점을 극복하기 위하여 높은 차수의 시그마 델타 변조기를 사용하는 방식을 많이 사용해 왔다. 하지만, 이 경우 시그마 델타 변조기가 큰 입력 신호에 쉽게 불안정해져서 발산하는 특성을 보이게 되며, 이 때문에 입력 신호의 크기가 크게 제한되는 단점이 생긴다.

현재 오디오 시장에 판매되는 ADC 는 대부분 Multi-bit 양자화 장치를 사용한 시그마 델타 ADC 이다. 각 회사들의 판매 목록을 살펴보면, 1990 년대 근처에 개발된 1 bit 양자화 장치를 이용한 ADC 이외에 최근에 개발된 ADC 는 모두 Multi-bit 양자화 장치를 사용했음을 알 수 있다. 이는 1 bit 양자화 장치를 사용하는 경우에 발생하는 Pattern 노이즈 문제가 해결 될 뿐만 아니라, 앞에서 언급한 Multi-bit 양자화 장치를 사용할 때의 단점인 Feedback DAC 의 비선형적인 신호 왜곡을 최소화 할 수 있는 기법이 발전하였기 때문이다.

위에서 언급한 Multi-bit 양자화 장치의 장점 이외에도 몇 가지 다른 장점이 있다. 양자화 장치의 bit 수가 높다는 것은 양자화 장치에 의해 발생한 노이즈의 크기 자체가 작다는 의미를 갖는다. Multi-bit 양자화 장치를 사용하면 Pattern 노이즈가 줄어드는 가장 큰 이유도 발생한 노이즈의 크기 자체가 원래 작기 때문이다. 이렇게 작은 크기의 노이즈는 SNR 역시 높여주기 때문에 높은 성능을 얻기가 용이해 지고, Stability 문제가 크게 줄어드는 장점이 있다. 더욱이 DAC 을 통해 입력으로 Feedback 되는 값의 단위 Step 크기가 줄어드는 이득 또한 존재한다. 이는 Switched Capacitor 회로에서 매 주기마다 채워주어야 하는 Charge 량의 최대치를 감소시키므로, OPAMP 의

요구 성능을 낮출 수 있게 된다.

Multi-bit 구조와 더불어 OPAMP 성능을 낮추어 OPAMP의 성능을 용이하게 만드는 또 하나의 방법은 시그마 델타 변조기 내부에 사용된 필터에 Feed Forward 구조를 사용하는 것이다. 이러한 구조는 각 적분기 앞의 신호에서 입력 신호 성분을 최소화 시켜 양자화 노이즈를 처리하도록 만들어 준다. 양자화 노이즈는 입력 신호에 비해서 크기가 매우 작으므로, OPAMP의 동작 범위를 줄여주어 OPAMP의 요구 성능을 낮추어 준다. Feed Forward Path 중 가장 효과가 큰 것은 Input 신호를 양자화 장치의 바로 앞으로 Feed Forward 시켜주는 방법이다[10].

이 논문에서는 오디오 신호의 변환을 목표로 하기 때문에 Multi-bit 구조를 사용한 Discrete Time 시그마 델타 ADC 구조의 사용을 기본으로 한다.

제 2 장 고품질 디지털 오디오 시스템을 위한 시그마 델타 ADC

아직까지 오디오 ADC 시장에서 주력으로 사용하고 있는 동작 전압은 3.3 V 이다. Mobile 기기를 제외한 대부분의 오디오 기기들이 전원을 외부에서 공급받기 때문에 전력 소모량에 큰 문제가 없기 때문이다. 또한, 일반적으로 사용되는 오디오 신호 표준이 대부분 2 Vrms 으로 잡혀있고, 전문 오디오 장비들은 노이즈 방지를 위하여 훨씬 높은 전압을 신호에 사용하고 있기도 하다.

아직까지는 동작 전압을 낮추는 것 보다 주로 오디오 성능 지표를 얼마나 만족하는가에 더 집중되어 있다. 따라서, 낮은 전압에서 동작하는 오디오용 시그마 델타 ADC 의 설계에 앞서서 Consumer 시장에 주로 사용되는 3.3V 동작의 ADC 의 설계를 진행하였다. 이를 통하여 오디오용 시그마 델타 ADC 의 설계 방법론을 확립하고 독립 동작 가능한 ADC 칩에 필요한 관련 구성 Block 들을 확보하였다. 또한, 최적의 성능을 얻기 위하여 고려해야 하는 요소를 검토함으로써 추후에 개발 진행한 ADC 설계의 밑거름이 되었다.

여기서 설계한 시그마 델타 ADC 의 목표 성능은 다음과 같다.

표 2. 동작 조건

항목	조건
Technology	0.13 μ m 1P6M Mixed-Signal CMOS
Analog & I/O Power Supply	3.3V
Digital Power Supply	1.2V
Sampling Frequency	48kHz
Master Clock Frequency	12.288MHz

표 3. Sigma-Delta Modulator 목표 성능

항목	값	단위
Input Level	2.8	V
SNR (@1kHz 1Vrms)	93	dB
THD+N (@1kHz 1Vrms)	-70	dB
PSRR (100mVpp @ 1kHz)	50	dB
Input Impedance	15	k Ω
Input Capacitance	25	pF

제 1 절 ADC 노이즈원의 배분

ADC 에서 중요한 성능 요소 두 가지는 앞에서 설명한 바와 같이 노이즈와 선형성이다. 따라서, 시그마 델타 ADC 역시 이 두 가지 요소가 설계에 있어서 가장 중요한 기준이 된다. 회로에서 일반적으로 고려되는 노이즈의 종류는 양자화 노이즈, 열 잡음, 그리고 $1/f$ 노이즈가 있다. ADC 의 목표 성능을 달성하기 위해서는 이러한 여러 노이즈의 파워를 모두 더한 것이 목표로 하는 전체 노이즈 파워보다 낮아야 한다. 따라서, 각 노이즈 종류별로 전체 노이즈에서 점유하는 비율을 가정하고, 여기서 결정된 노이즈 파워보다 각 노이즈 종류별 파워를 낮게 만드는 것을 설계 방법론으로 사용할 수 있다[8].

제 1 항 열 잡음

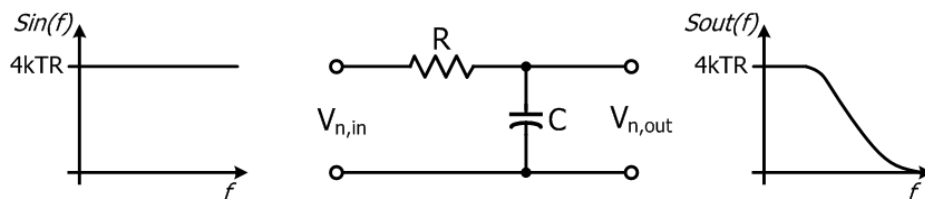


그림 7. 저항에 의한 열 잡음과 Bandwidth 제한의 영향

열 잡음은 전류 흐름을 발생시키는 Carrier 의 흐름이 소자의 구조를 이루는 원자들에 방해를 받아 나타나는 노이즈로 Random 한 특성을 보이며, 동작 시 온도 및 소자의 저항 값에 의해 노이즈 파워가 영향을 받는다. 아날로그 회로에서는 전류가 흘러 지나가게 되는 저항과 MOS 소자에 의해 발생하며, 열 잡음의 Power Spectral Density (PSD)는 $4kTR$ [V^2/Hz] (R 은 저항의 경우 저항 값 R , MOS 소자의 경우 Turn

on 저항 R_{on})으로 표시된다. 잘 알려진 바와 같이 R 과 C 로 이루어진 회로의 경우, 회로는 R 과 C 에 의해서 Bandwidth 제한을 가지게 되며 이에 의해 총 노이즈 파워는 kT/C 가 된다[11].

Switched Capacitor 회로에서는 신호의 Path 에 존재하는 저항 값에 의해 발생하는 열 잡음과 OPAMP 가 만들어 내는 열 잡음의 합이 전체 열 잡음이 된다.

제 2 항 양자화 노이즈

양자화 노이즈는 아날로그 신호를 디지털 신호로 변화 시키면서 발생하는 노이즈로, 무한한 값을 제한된 자원으로 표시하기 때문에 발생하는 노이즈이다. 따라서 신호를 얼마나 많은 자원으로 표시하는가와 직접적인 연관 관계를 가지고 있음을 쉽게 예상할 수 있다. 여기서 자원은 몇 Bit 로 신호를 표현하는가를 뜻한다. 또한 앞에서 설명한 바와 같이 시그마 델타 변조는 양자화 노이즈를 주파수 변형 시켜서 원하는 신호 대역의 양자화 노이즈를 줄이는 기술이다. 따라서, 양자화 노이즈의 크기는 시그마 델타 변조기의 성능에도 크게 영향을 받기 때문에, 양자화 노이즈의 파워는 시그마 델타 변조기의 구조 및 성능을 정하는 기준이 된다.

신호는 양자화 레벨 (혹은 bit 수)에 따라서 양자화 노이즈 크기가 정해진다. 양자화 Step 을 Δ 라 표시하면, 양자화 노이즈의 크기는 통계적으로 $E_{RMS}^2 = \Delta^2/12$ 으로 표시됨은 잘 알려져 있다. 이러한 양자화 노이즈를 시그마 델타 변조하게 되면, OSR 과 변조 차수에 따라서 신호 대역의 양자화 노이즈 파워가 낮아지게 된다. 일반적으로 신호 대역의 양자화 노이즈 파워는 $Q_{RMS}^2 = \pi^{2L}/((2L+1)OSR^{2L+1})$,

(L 은 차수, OSR 은 Oversampling Ratio, $NTF(z) = (1-z^{-1})^L$ 인 경우)로 표시된다[8]. 그러므로, 신호의 양자화 노이즈를 정하기 위해서는 시그마 델타 변조기의 Noise Transfer Function (NTF)와 시그마 델타 변조기의 차수 L , 시그마 델타 변조기의 OSR , 그리고 마지막으로 시그마 델타 변조 이전의 양자화 노이즈의 양을 나타내는 양자화 레벨 수 (혹은 bit 수)를 정해야 한다.

제 3 항 $1/f$ 노이즈

$1/f$ 노이즈는 MOS 소자의 Gate 에 반도체 공정의 한계로 Defect 가 발생하여 이로 인해 발생하는 Trap 에 Carrier 들이 잡히거나 빠져나오면서 생기는 노이즈로 주파수의 역수에 노이즈 크기가 비례하는 특성이 있다. 따라서 저주파 노이즈 Floor 가 높아지는 특성을 보인다. 이 노이즈는 Correlated Double Sampling (CDS) 혹은 Chopping 등의 회로 기법으로 제거할 수 있으며, 소자의 크기를 크게 함으로써 노이즈 크기를 줄일 수 있다. 따라서, 전체 Noise 량 계산에는 포함하지 않는다.

이 설계에서는 전체 노이즈에서 각 노이즈 원 별 크기를 표 4 와 같이 배분하였다.

표 4. 노이즈 배분

노이즈 종류	세부 항목	비율 (%)
열 잡음	kT/C 노이즈	61.50
	첫번째 OPAMP 노이즈	13.50
	열 잡음 총 합	75.00
양자화 노이즈		5.00
기타 노이즈		20.00
합계		100.00

표 4로부터 열 잡음의 크기가 전체 노이즈 파워의 대부분을 차지하도록 설계하였음을 알 수 있다. 이는 양자화 노이즈가 구조에 따라서 크기가 정해지므로 구조 구현에 어려움이 없는 한 다른 노이즈에 비해서 양을 작게 만들기가 용이하기 때문이다. 또 다른 중요한 이유는 노이즈 Floor를 White하게 유지하기 위함이다. 양자화 노이즈는 일반적으로 노이즈 셰이핑이 되어 있기 때문에 White한 노이즈 Floor를 얻기 어렵다. 하지만, 열 잡음은 위에서 언급한 바와 같이 White한 특성을 가지고 있다. 일반적으로 노이즈 Floor는 충분히 낮아서 귀에 안 들리는 수준으로 성능을 유지하는 것이 정상이지만, 신호 처리의 한계 등으로 셰이핑된 노이즈를 귀로 듣게 되면 고주파 쪽에 에너지가 집중되어 있어 불편한 느낌을 받게 될 것이다.

위에서 언급한 바와 같이 열 잡음은 Switch 등에 나타나는 저항 성분과 OPAMP에서 발생하는 노이즈의 합이다. 실제로는 적은 비율이지만 두 노이즈 외에도 외부에서 유입되어 존재할 수 있는 다른 노이즈들도 일정 비율로 가정하여 비율에 추가하였다.

표 4 를 보면 열 잡음의 대부분은 Switch 의 저항 성분에 의한 열 잡음에 할당되어 있다. Switch 의 저항 성분에 의한 열 잡음과 OPAMP 의 열 잡음 사이의 비율을 조절함에 따라 전체 전력 소모와 Switch 를 얼마나 잘 만들 것인가에 대한 방향이 정해진다[8]. 스위치의 크기를 키워서 저항을 낮추면 전체 노이즈 양에서 스위치의 저항에 의한 노이즈 비율이 줄어들기 때문에 OPAMP 에서 발생하는 열 잡음의 영향(즉, 비율)이 커지게 된다. 이 경우, OPAMP 의 전력 소모를 최적화 하여 줄일 수 있게 된다.

이렇게 정해진 노이즈의 비율을 기준으로 실제 구현에 필요한 설계 값들을 얻는다. 우선 설계에 고려하지 못한 노이즈가 있을 수 있으며, 공정 변화 및 동작 전압 변화, 그리고 온도 변화에 의해 노이즈 값이 변화할 수 있으므로 값 변화에 대한 여유치를 두어 전체 목표 SQNR 대비 목표 노이즈 값을 정한다. 여기에 비율을 계산하여 각 노이즈 원의 목표 노이즈 크기를 정한다.

열 잡음의 크기를 기준으로 OPAMP 의 노이즈 양을 구하면, 이로부터 OPAMP 에 사용할 Transconductance (G_m) 값의 기준을 정할 수 있다. 또한 Switch 의 저항에 의한 노이즈 양을 기준으로 Switch 의 Turn on 저항 값의 기준을 정할 수 있다. 그리고, 이 두 열 잡음 성분을 바탕으로 첫 번째 적분기의 최소 Sampling Capacitor 크기를 정할 수 있다. 양자화 노이즈의 기준 값을 통해 시그마 델타 변조기의 구조, 특히 일반적인 구조에서는 차수와 OSR 및 양자화 장치 레벨을 정할 수 있으며, NTF 의 계수를 정할 수 있다.

제 2 절 시그마 델타 변조기의 구조

이 절에서는 오디오 분야에서 주로 사용되는 Switched Capacitor 회로를 기반으로 하는 Discrete Time 시그마 델타 변조기를 기준으로, 목표로 하는 양자화 잡음의 크기를 달성하기 위한 설계에 대하여 설명한다. 그림 8 은 설계에 사용된 여러 개의 적분기를 가지며 Feed-Forward 경로가 있는 구조를 나타내었다. 이 구조는 일반적으로 Cascade-of-Integrator, with Feed-Forward (CIFF)라 알려져 있다. Feed Forward Path 가 있어서 Feed-Back 만이 있는 구조와 비교했을 때 각 적분기 앞의 신호가 대부분 양자화 잡음만 남게 되어 신호의 Swing 폭이 상대적으로 작다. 따라서 각 적분기에 사용되는 OPAMP 의 요구 성능이 낮아지는 이점이 있다.

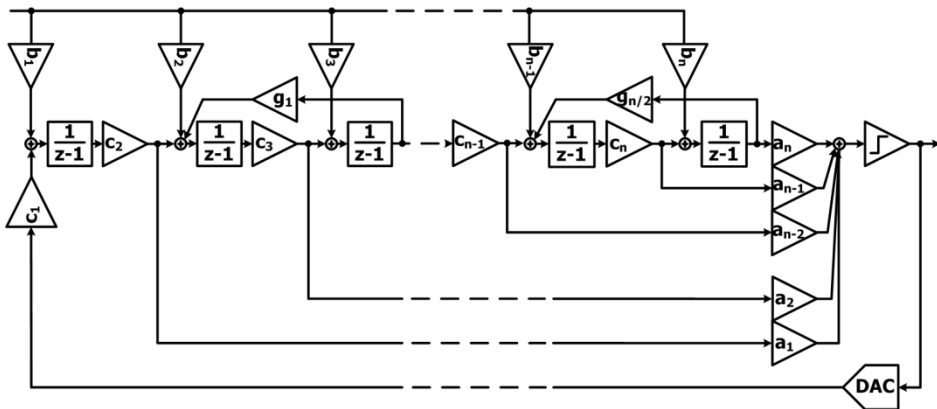


그림 8. CIFF 구조의 시그마 델타 변조기

앞에서 잠시 언급한 바와 같이 신호 대역 내의 양자화 잡음 크기는 OSR 과 시그마 델타 변조기의 차수 및 양자화 장치의 레벨 수에 영향을 받는다. 이러한 차수, OSR, 양자화 장치의 레벨 수, 그리고 최대 달성 가능한 Signal to Quantization Noise Ratio (SQNR,

신호와 신호 대역의 노이즈 비이므로, 결과적으로 신호 대역내의 양자와 잡음의 양)의 관계는 [8]에 나와 있으며, 이를 통하여 목표하는 SQNR 을 달성하기 위한 OSR 과 차수 및 양자화 장치의 레벨 수를 선택할 수 있다.

이 설계에서는 우선 양자화 레벨 수를 선택하였다. 1 bit 양자화 장치(2 레벨)를 사용하면 1 bit Feedback DAC 을 사용할 수 있기 때문에 선형성이 높지만, 최대 입력에서 시그마 델타 변조기의 Stability 를 확보하기 어렵다. 또한, 양자화 레벨 사이의 간격이 크기 때문에 기본적으로 양자화 노이즈의 파워가 커서 DC 입력 시에 나타나는 Pattern Noise 역시 큰 편으로, 이는 오디오 ADC 에 적용할 때 단점이 될 수 있다. 이러한 문제들을 극복하기 위해서는 높은 OSR 과 차수를 사용하여야 한다[12]. 하지만, 양자화 장치의 레벨 수가 많아질수록 Feedback Path 에 필요한 DAC 의 구현의 어려움 또한 증가한다. 이는 DAC 이 시그마 델타 변조기의 Feedback Path 에 있기 때문에 노이즈 웨이핑의 이점을 누리지 못함에 근본적인 원인이 있다. DAC 에서 발생하는 Error 는 바로 입력 신호에 영향을 주기 때문에 입력 신호에 노이즈가 추가되는 것과 동일한 결과를 가지고 온다. 따라서 DAC 은 전체 시스템이 요구하는 성능과 동일한 성능을 유지하여야 한다. 하지만 양자화 레벨 수가 많아지면 DAC 의 복잡도가 올라가기 때문에 성능을 만족 못할 위험성이 높아진다.

이러한 단점을 개선하기 위하여 이 설계에서는 4 레벨 양자화 장치를 사용하였다. 이 양자화 장치는 1 비트 양자화 장치에 비하여 레벨 수가 증가 했기 때문에 양자화 노이즈가 줄어드는 장점이 있다. 이로 인해 시그마 델타 루프의 Stability 가 올라가서 목표로 하는

SQNR 을 얻을 수 있으면서도 최대 입력 신호에서 발산하지 않는 NTF 의 구현이 가능하다. 또한 양자화 노이즈의 파워가 낮아졌으므로 Pattern Noise 의 크기가 줄어들어, 필요로 하는 노이즈 특성을 만족하는 OSR 또는 차수를 좀더 낮출 수 있게 된다. 구현상으로도 레벨 수가 많아지면 회로의 복잡도가 높아지므로, NTF 의 성능을 얻을 수 있는 최소한의 레벨을 사용하였다.

양자화 장치의 레벨 수를 정하였고 목표로 하는 SQNR 을 알고 있으므로, 목표를 달성하기 위해 사용해야 하는 OSR 및 차수를 정할 수 있다. 여기서는 OSR 은 256, 차수는 3 차를 선택하였다. 다른 선택도 가능하지만 차수가 너무 높아지면 Stability 가 나빠지는 단점이 있고, 1 차와 2 차 시그마 델타 변조기는 Pattern Noise 가 심하다는 연구 결과가 있으므로 여기서는 1 차와 2 차를 제외한 가장 낮은 차수인 3 차를 선택하였다. 이 경우 목표 SQNR 의 달성이 가능한 OSR 은 256 이다.

OSR 과 차수 및 양자화 장치의 레벨 수를 정한 후, 실제로 사용할 정확한 NTF 를 구해야 한다. 같은 차수, 같은 OSR 에서 가장 좋은 성능을 보이는 것은 $NTF(z) = (1 - z^{-1})^L$ 일 때 이다. 하지만, 이 경우 차수 L 이 높아지면 시그마 델타 변조기의 Stability 가 떨어져서 입력 신호가 입력 최대값인 0 dBFS 에 가깝게 들어올 경우 발산하기 때문에 실제로 사용할 수 없게 된다. 따라서, 계수를 조정하여 Pole 의 위치를 이동시켜서 Stability 를 높이는 방법을 사용하였다. 최적화 기법을 이용하여 여러 기준에 따라 SQNR 과 Stability 를 판단하고, 목표로 하는 최적 값을 찾아내는 여러 가지 기법들이 알려져 있으며, 여기서는 Closed-Loop Analysis of Noise-Shaper (CLANS)

[13] 방법을 사용하여 원하는 목표 SQNR 을 얻는 최적의 NTF 를 구하였다. CLANS 방법은 NTF 에 따라 얻어지는 1-Norm 값을 기준으로 계수를 최적화하여 최적 SQNR 과 안정적으로 동작하는 최대 입력 값을 찾아낸다. 여기서 얻은 NTF 의 계수를 시그마 델타 변조기의 구조에 대입하여 Path 별 계수를 구할 수 있다.

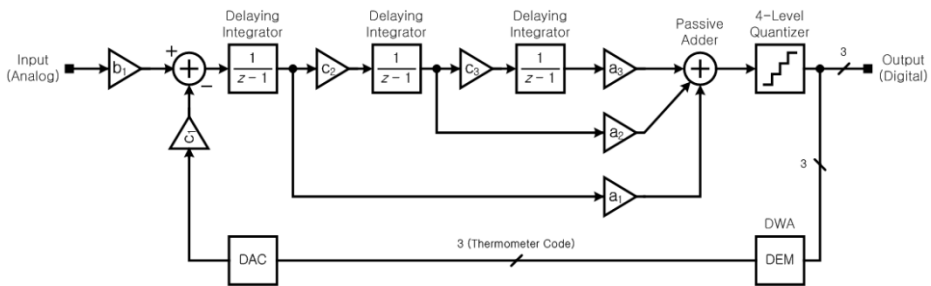


그림 9. 최종 선택된 구조

이러한 단계를 거친 결과는 Behavioral Simulation 을 통하여 회로 구현에서 예상되는 다른 특성들을 적용해도 목표 SQNR 을 충분히 달성할 수 있는지를 검증해야 한다. Matlab 사의 Simulink 를 이용하여 OPAMP 의 Gain 및 Slew Rate, 그리고 동작 전압 범위 등이 Simulation 에 반영되도록 하였다.

제 3 절 회로 구현

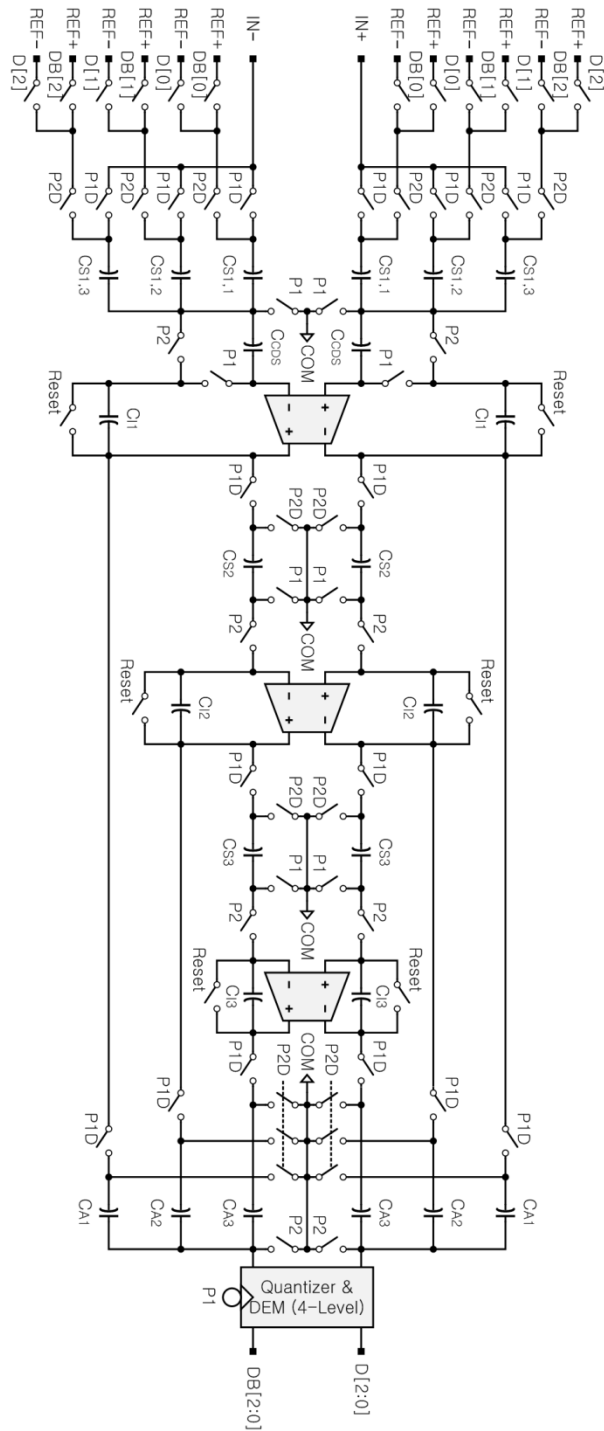


그림 10. Switched Capacitor 기반의 3차 4 레벨 시그마 델타 변조기

앞에서 선택한 3 차 4 레벨 시그마 델타 변조기의 Switched Capacitor 회로 구현은 그림 10 과 같다.

전체 ADC 는 3 개의 Switched Capacitor 적분기와 3 개의 비교기로 구성된 4 레벨 (2 bit) 양자화 장치로 구성되어 있다. 양자화 장치 앞에 필요한 신호 덧셈기는 전체 전력 소모를 줄이기 위하여 Capacitor 비율을 통한 전압 분배로 신호의 덧셈 기능이 수행되도록 하였다. Switched Capacitor 회로는 Parasitic 성분에 강인한 구조의 회로를 사용하였다[14]. 또한 입력 단의 Sampling Capacitor 의 경우, Feedback Path 에서 들어오는 신호와 입력 신호를 합치는 기능을 동일한 Capacitor 로 구현하여 가장 큰 크기를 가지는 입력 Capacitor 의 크기를 불필요하게 키우지 않도록 하였다.

단위 Capacitor 의 크기를 정하고 이의 배수로 다른 Capacitor 의 크기를 정하는 방법을 택하였으며, 계수의 오차가 최소가 되도록 단위 Capacitor 의 크기를 조정하였다.

Switched Capacitor 회로의 스위치는 모두 CMOS 소자를 이용한 스위치를 사용하였다. 입력신호가 들어와서 처음 Capacitor 로 저장되는 Path 는 시그마 델타 변조기의 Loop 밖에 위치하므로 신호에 Distortion 이 발생하지 않도록 주의해야 한다. CMOS 스위치가 Distortion 을 발생 시키는 가장 큰 원인은 입력 신호에 따라 Gate-Source Voltage(V_{gs})가 바뀌어 Conductance 의 크기가 변화하기 때문이다. 이는 신호에 따라 다른 결과를 만들어 비선형성을 발생시키므로, 이러한 특성을 최소화 하기 위해 Bootstrapping Capacitor 기법을 사용하였다. 이 기법은 스위치의 Gate 에 입력 신호를 VDD 만큼 올린 신호를 공급하여 V_{gs} 가 늘 VDD 가 되도록

유지해주는 역할을 한다. 따라서, 입력 신호와 관계 없이 늘 일정하게 CMOS 소자가 Turn On 되어 있으므로 비선형 신호의 발생을 최소화할 수 있게 된다[15].

CMOS 스위치의 크기는 스위치와 Capacitor 가 만들어 내는 RC 시정수 값을 고려하여 정하였다. Bootstrapping 스위치를 사용하였으므로, CMOS 스위치는 늘 최대한 켜져 있는 상태가 되어 충분히 낮은 저항 값을 가지게 된다. 따라서, 최소 크기의 CMOS 스위치를 사용하여도 충분한 Settling Time 의 확보가 가능함을 알 수 있다.

첫 번째 적분기에는 앞에서 언급한 $1/f$ 노이즈를 상쇄시키기 위한 Correlated Double Sampling 기법을 적용하였으며, 이를 위해, OPAMP 입력단에 Capacitor 를 추가하였다. 이 Capacitor 는 Correlation 된 OPAMP 의 노이즈를 Sampling Phase 에 저장하였다가 Integration Phase 에 상쇄 시키는 역할을 한다[16].

각 스위치를 켜고 끄는 Clock 은 일반적인 2 Phase Non-Overlapping Clock 을 사용하였으며 그림 11 와 같은 구조를 가진다.

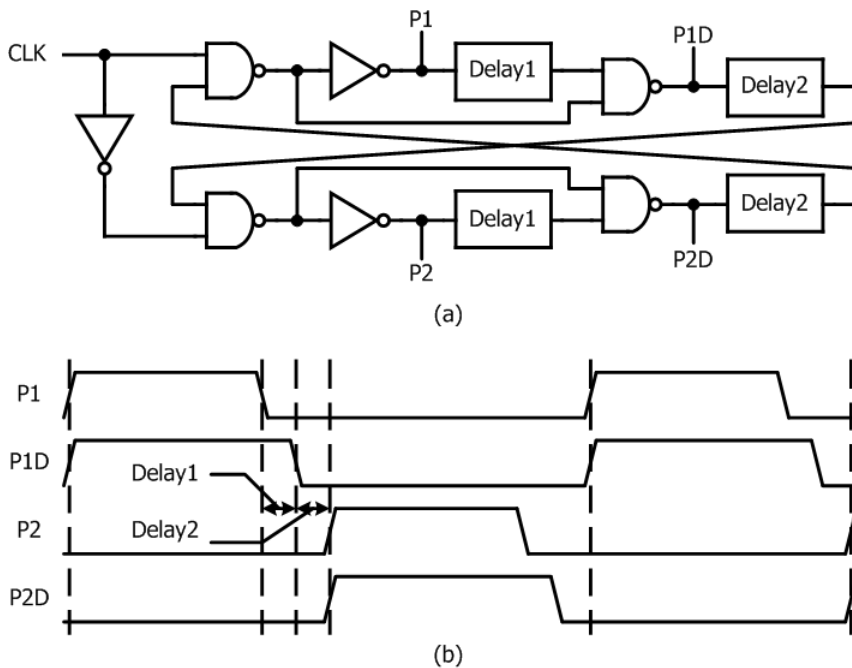
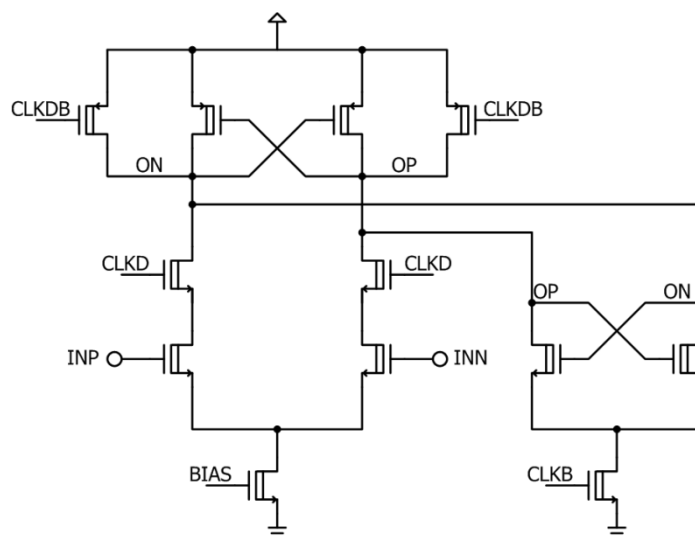
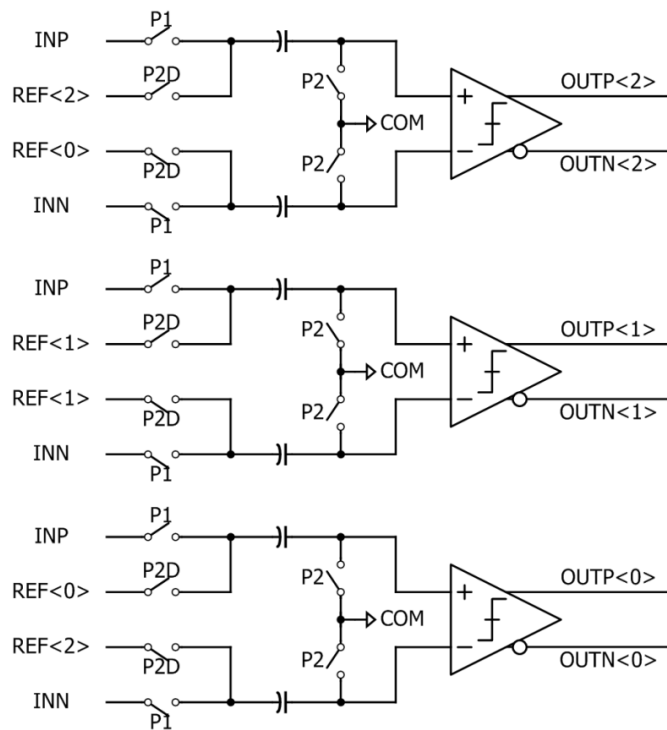


그림 11. Non-overlapping 클럭 발생기

(a) 2 phase Non-overlapping 클럭 발생기 (b) 클럭 타이밍

각 Phase 사이의 Delay 는 회로에서 Delay Chain 으로 조정 된다. 또한, 각 Phase 의 Clock 에 Early Clock 을 추가하여 Capacitor 양단의 Switch 중 한쪽이 먼저 꺼지고 다른 쪽이 꺼지도록 하여 Charge Injection 등의 영향을 최소화 하였다. 이 Early Clock 역시 회로의 Delay Chain 으로 조정된다. 각 Clock 은 Margin 을 주어 서로 Phase 가 겹치지 않도록 하였다.

양자화 장치는 4 레벨로 구성하였으므로, 그림 12 과 같이 세 개의 비교기로 구현하였으며, 비교기는 Pre-amplifier 와 Latch 로 구성되어 있다.



양자화 장치에 입력이 들어오면 첫 Phase 동안 Pre-amplifier 를 통하여 기준 레벨과 신호의 차이를 키워주며, 이후의 Phase 동안 출력을 입력으로 Cross Couple 시켜서 Positive Feedback 시키는 Latch 동작을 통하여 출력 값을 확정하는 방식으로 동작한다[17], [18]. 설계 시 Offset 의 발생이 최소화 되도록 CMOS 소자의 사이즈를 정하였다.

양자화 장치를 거친 신호는 DAC 을 통하여 Feed-back 된다. DAC 은 Sampling Capacitor 를 레벨 수로 나누어 On/Off 되는 수만큼 Reference 전압을 다르게 걸어주는 방식으로 구현하였다. 여러 개의 Capacitor 를 사용하므로, 반도체 공정의 특성 상 각 Capacitor 간의 Mismatch 는 필연적이며 이는 각 신호 값에 따라 다른 오차 값을 가지게 만들기 때문에 신호에 비선형적인 특성을 추가하게 된다. 이는 Harmonic Distortion 의 증가를 가지고 오게 되므로 피해야 하며 DAC 구현 시 Mismatch 로 인한 비선형성 발생에 대한 대책으로는 여러 다양한 방법이 나와 있다[19],[20],[21]. 다양한 방법들 중에서도 Data Weighted Averaging (DWA) 방법을 사용하여 비선형성 발생을 줄였다. 이 방법은 켜지는 스위치 위치의 시작점을 이전에 켜졌던 스위치의 다음으로 매번 변화시켜서, 각 신호가 매번 다른 Capacitor 를 가지고 값을 표현하도록 만들어 준다. 이렇게 되면 매 값이 Random 한 Mismatch 를 가지게 되므로, Distortion 으로 발생하는 Harmonic Tone 들이 평균화되어 Tone Level 이 낮아지면서 Noise 가 전 대역으로 퍼져 Noise Floor 가 약간 상승하는 결과를 가지고 온다.

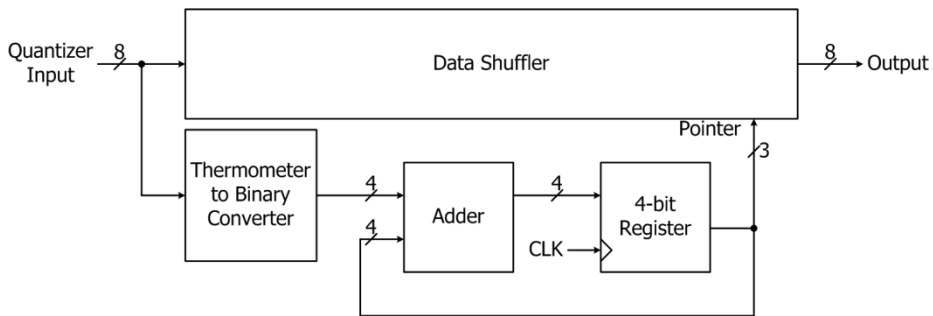


그림 14. DWA 구조도

각 적분기를 구성하는 OPAMP 의 성능은 이상적으로 설계한 NTF 를 얼마나 근접하게 구현할 수 있는가를 결정하는 가장 중요한 요소이다. Switched Capacitor 회로에서 OPAMP 의 역할은 Capacitor 에 저장된 Charge 를 노이즈 추가는 최소로 하면서 다른 Capacitor 에 전달해 주는 것이다. 적분기가 첫 번째 Phase 에서 Sampling Capacitor 에 저장한 Charge 를 정확하게 Integration Capacitor 에 전달하기 위해서는, 우선 OPAMP 가 Integration Capacitor 를 목표로 하는 양만큼 충전하기 충분한 전하를 Capacitor 에 빠르게 공급할 수 있어야 한다. 적분기 회로에서 Output 신호는 Integration Capacitor 에 Charge 가 전달됨에 따라 Exponential 하게 원하는 값으로 수렴하는 특성을 보인다. 따라서 OPAMP 가 가지는 시정수 값인 Tau 의 값을 기준으로 동작 시간 동안 몇 Tau 를 Settling 하는가에 따라 수렴하는 값의 정밀도가 달라진다. 또한, OPAMP 의 Gain 에 따라 절대적으로 목표 값에 접근할 수 있는 한계가 정해지게 된다.

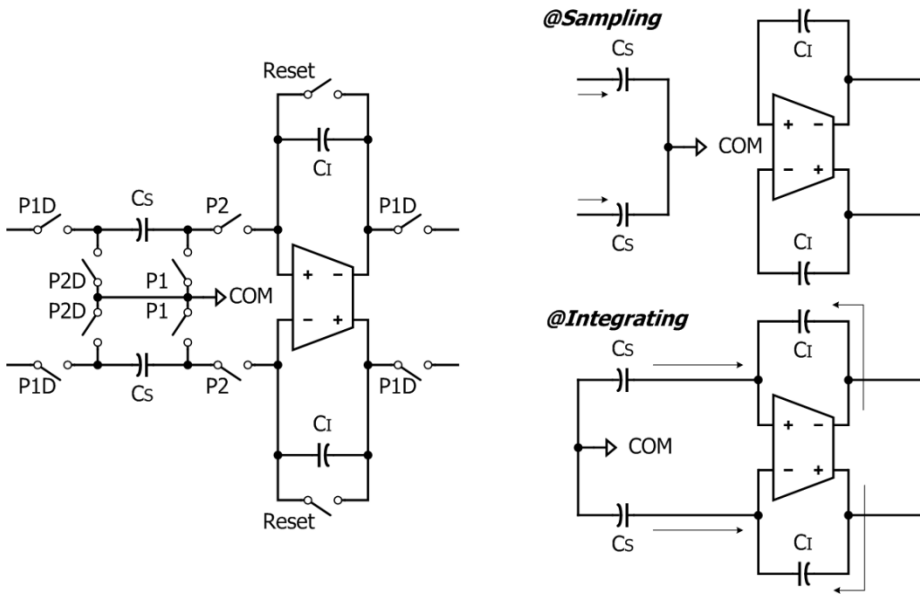


그림 15. Switched Capacitor Integrator 동작

앞에서 OSR 과 목표로 하는 신호 대역, 그리고 Switched Capacitor 회로를 동작시키는 Clock 관계가 정해져 있으므로, OPAMP 가 동작하는 한 주기 시간은 정해져 있다. 따라서, OPAMP 의 특성에 맞춰서 Tau 값을 정하여, 동작 시간 동안 목표로 하는 Tau 값의 배수만큼 OPAMP 가 동작하게 만들면 목표로 하는 정밀도를 갖는 적분기를 설계할 수 있게 된다.

만일 OPAMP 가 충분한 전류를 순간적으로 공급하지 못하면, OPAMP 가 제공하는 Charge 의 제공 속도가 필요로 하는 양보다 줄어드는 순간까지 Output 신호는 Exponential 하게 수렴하는 것이 아니라 선형적으로 수렴하게 된다. 이러한 특성은 OPAMP 의 Slew Rate 로 정의된다. 이러한 Slew Rate 에 의한 제한이 발생하게 되면, 입력 신호의 크기에 따라 각각 다른 시간 동안 Slew Rate 의 제한을 받게 되며, 이에 따라서 Slew Rate 제한 이후에 Exponential

Settling 하는 시간 역시 신호의 크기에 따라 달라진다. 이는 신호에 비선형적인 특성을 추가하게 되어 Harmonic Distortion 을 증가시킨다.

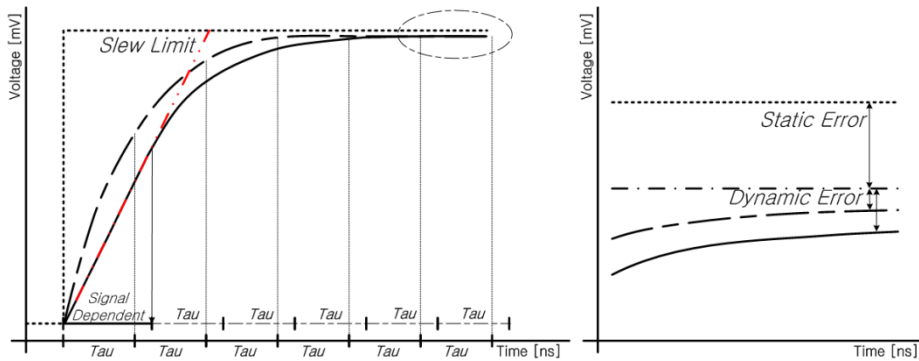


그림 16. Settling 동작과 Slew Limit 에 의한 동작

따라서 Slew Rate 한계에 의해 선형적으로 목표 값에 접근하는 구간이 최소가 되도록 설계에 반영하여야 한다. 여기서는 신호 레벨에 따른 Slew Rate 를 예측하고, 이를 바탕으로 최악의 경우를 상정하여 Slew Rate 제한이 발생하는 시간을 예상하였다. 이 때, 각 OPAMP 의 Loading Capacitance 도 같이 고려하였다.

OPAMP 는 모두 Folded Cascode 구조를 기반으로 Fully Differential OPAMP 를 구현하였다. 첫 번째 OPAMP 는 여기에 Gain Boosted 구조를 추가하여 사용하였다.

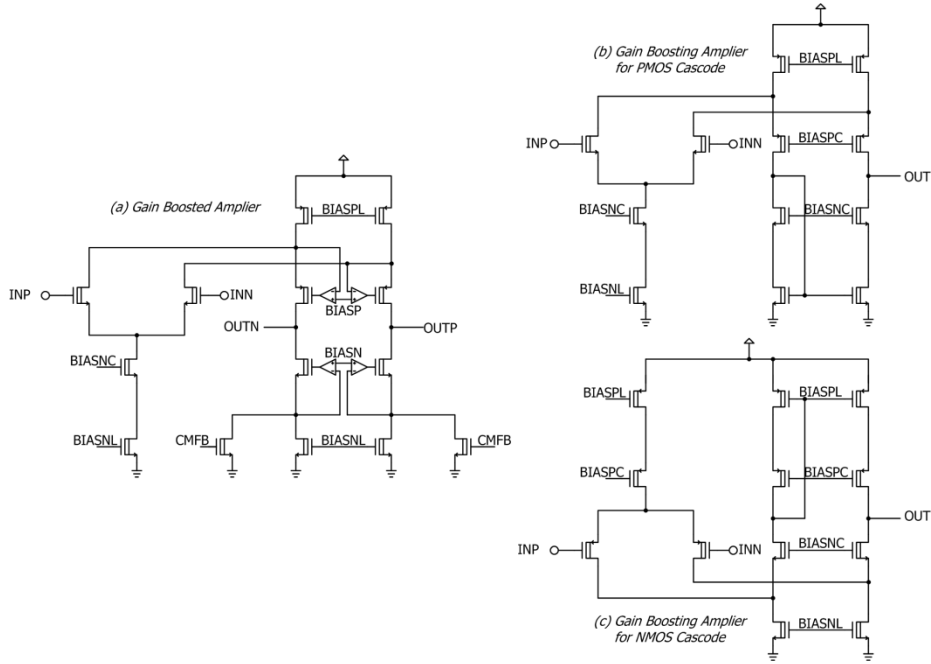


그림 17. 첫 번째 적분기에 사용된 Full Differential Gain Boosted OPAMP

첫 번째 적분기의 OPAMP 를 다르게 사용한 이유는 다음과 같다. 앞에서 설명한 바와 같이 OPAMP 의 성능에 따라서 NTF 가 얼마나 충실하게 구현되는지가 정해진다. 일반적으로, OPAMP 의 Gain 이 낮으면 DC 에 위치하던 NTF 의 Zero 가 높은 주파수로 이동한다. 일반적으로 OPAMP 의 Gain 이 OSR 보다 크면 문제가 되지 않는 것으로 알려져 있다[8]. 실제 Behavioral Simulation 결과도 Gain 이 약 40 dB 이상이면 성능에 거의 영향이 없음을 보인다. 하지만, 시그마 델타 변조기의 단점 중 하나인 Pattern Noise 는 Gain 이

낮아져서 NTF의 Zero가 높은 주파수로 이동하면, Noise Floor가 높아지는 만큼 Pattern Noise 역시 위로 올라오게 된다. Noise Floor 자체는 비슷하게 유지되지만 Tone 성분이 Noise Floor 위로 올라오게 되므로, 충분한 Gain을 갖게 하여 NTF가 충실히 구현되도록 만들어서 Pattern Noise가 Suppress 되도록 할 필요가 있다. 이를 위하여 Gain Boosted Amplifier를 첫 번째 적분기의 OPAMP 구조로 사용하였다.

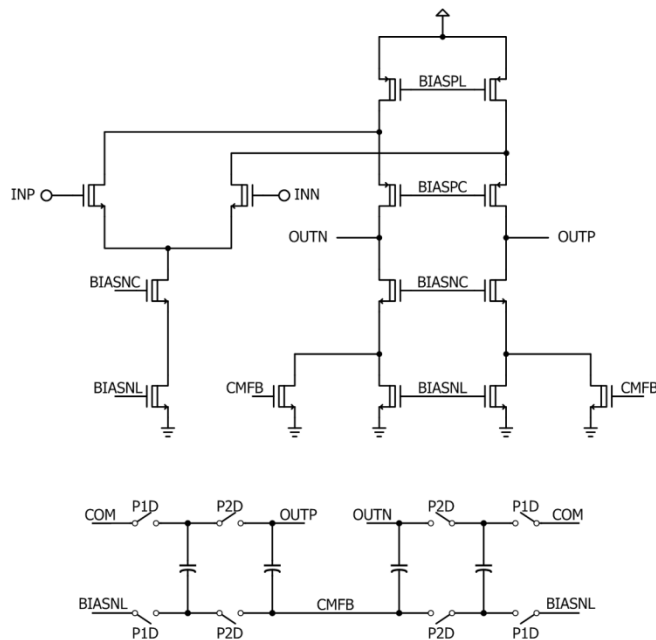


그림 18. 두 번째와 세 번째 적분기에 사용된 OPAMP와 CMFB

Folded Cascode 구조의 OPAMP는 전압 동작 범위가 넓고, 1 stage로 구성되어 있기 때문에 Stability 문제 없이 설계가 용이하다는 장점이 있다. 또한 Cascoding을 통해 Gain도 충분히 얻을 수 있다. 일반적으로 첫 번째 적분기 외의 Amplifier 요구 성능이 훨씬 낮기 때문에 Folded Cascode로 구현해도 충분한 성능을 얻을 수 있다.

각 OPAMP 의 Common Mode Feedback(CMFB)은 Switched Capacitor 구조를 사용하였다. 이 구조는 Active 소자가 필요 없어 구현이 단순하다는 장점이 있다. 이 OPAMP 는 Switched Capacitor 구조의 적분기에 사용되므로, 추가로 CMFB 에 사용할 Clock 을 만들 필요가 없어 Switched Capacitor 적분기에 적합한 구조라 할 수 있다[22].

앞에서 논의한 바와 같이 Harmonic Distortion 은 오디오 ADC 의 중요한 성능 지표이다. Harmonic Distortion 을 최소한으로 줄이기 위하여, OPAMP 의 Output Impedance 가 Output 전압에 최소한으로 변화하도록 Simulation 을 진행하여 그 결과로 Bias Point 를 정하였다.

OPAMP 및 양자화 장치에 필요한 Current Reference Generator 는 Cascode 를 포함한 Beta Multiplier 구조를 이용하여, PSRR 을 높게 유지하면서 외부의 입력 없이 Bias Current 를 생성하도록 만들었다.

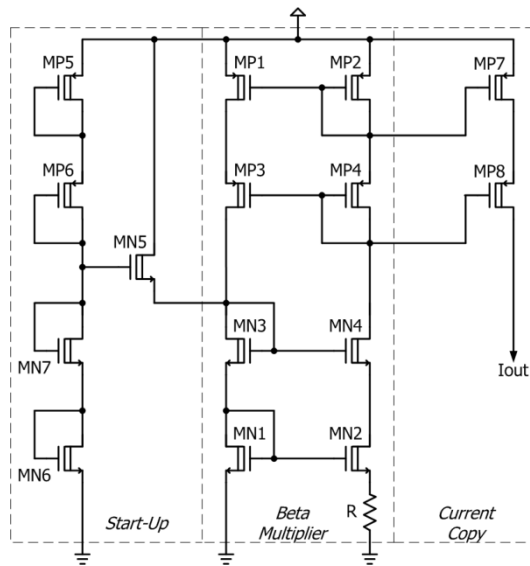


그림 19. Current Bias Generator

SPICE 의 Transient Simulation 을 이용하여 SQNR 성능을 검증한 것에 추가로, 열 잡음의 양이 설계와 부합하게 나오는지 확인하기 위하여 SPICE 의 Transient Noise Simulation 기능을 이용하여 검증을 진행하였다

Consumer 시장에서 사용되는 오디오 신호는 비용 등의 문제로 인해 대부분 Differential 이 아닌 Single Ended Signal 로 신호를 교환한다. 하지만, 구현한 시그마 델타 ADC 의 Analog 회로 부분은 모두 Fully Differential 회로를 사용하였다. 이는 Fully Differential 회로를 사용함으로써 높은 PSRR 의 특성 등을 통해서 칩 내부에서 발생하는 노이즈에 강인한 성능을 얻을 수 있을 뿐 아니라, 내부 처리 Signal 의 크기가 실질적으로 커지므로 3dB SNR 의 개선 효과도 있기 때문이다. 외부에서 들어오는 Single Ended Signal 을 Differential Signal 로 바꾸어 주기 위해서는 변환 회로가 필요하다. 여기서는 그림 20 과 같은 변환 회로를 사용하였다. 이 회로를 통하여 Single Ended

Signal 을 Differential Signal 로 변환한다.

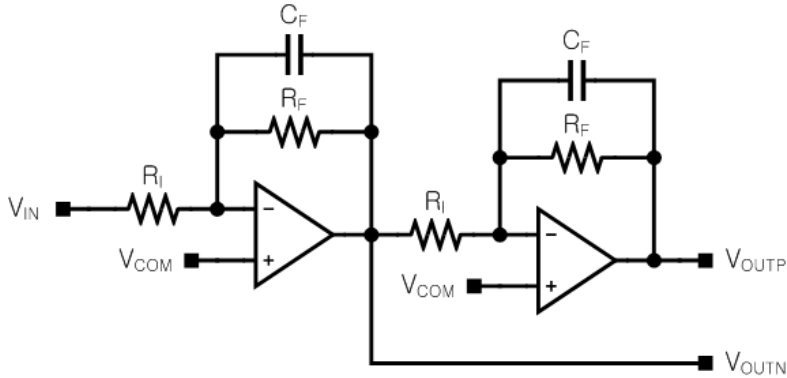


그림 20. Single Ended To Differential Converter

회로에 입력이 들어오면 첫 번째 OPAMP 에서 입력 신호를 반전하여 Negative 출력을 만들고, 이 신호를 한번 더 반전하여 Positive 신호를 만드는 방법을 취하였다. 회로에 의해서 두 신호간에 Delay 차이가 발생할 수 있으나, 신호 대역이 워낙 낮은 주파수이기 때문에 성능에는 거의 영향이 없다. 이 회로는 순수한 Analog 회로로 OPAMP 의 Noise 성능과 OPAMP 의 Distortion 성능이 바로 신호에 영향을 미치게 된다. 또한 입력 전압 Range 가 전체 전원 전압 범위와 크게 차이 나지 않기 때문에 넓은 입력 전압 Range 를 가져야 한다.

Single to Differential Converter 는 그림 21 과 같은 Folded Cascode 2-Stage Amplifier 구조를 사용하여 구현하였다. Rail-to-Rail 동작이 가능하도록 PMOS 와 NMOS 입력 단을 모두 사용하였으며, G_m 값의 변동을 최소화 하기 위하여 PMOS 와 NMOS 가 동시에 켜져 있는 구간을 최대화 하였다. 또한 $1/f$ 노이즈를 최소화 하고 입력 Offset 발생을 최소화 하기 위하여 입력 TR 의

크기를 크게 키워 Sub-threshold 영역에서 동작하도록 설계하였다.

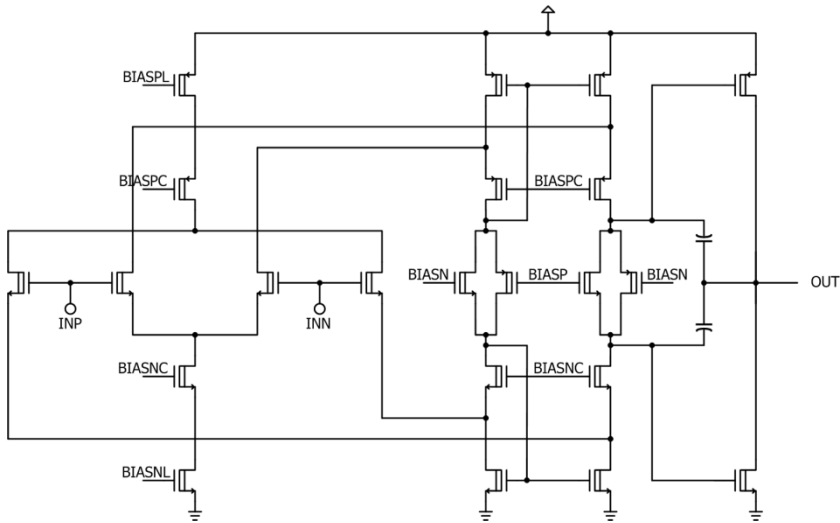


그림 21. Single Ended To Differential 에 사용된
Constant-Gm Rail to Rail OPAMP

시그마 델타 변조기를 이용하여 구현된 ADC 는 Over Sampling 된 낮은 bit 의 디지털 신호가 출력으로 나온다. 이러한 신호는 신호의 속도가 높기 때문에 저장에 불편할 뿐 아니라, 추후 신호 처리에 있어서도 불편을 초래한다. 따라서, 일반적으로 ADC 를 거친 오디오 신호는 Decimation 을 거쳐 샘플링 주파수를 낮추고 bit 를 높여서 출력한다. 이렇게 Decimation 된 신호는 오디오 분야에서 주로 사용되는 Inter-IC Sound(I²S)와 같은 시리얼 인터페이스를 통하여 외부로 전달된다.

신호의 샘플링 주파수를 낮추기 위해서는 신호 대역 외의 신호를 필터링하여 제거하고 Sample 을 주기적으로 버리는 방식을 취하여 신호의 Image 가 신호 대역으로 접혀 들어오지 않도록 유지하면서

샘플링 주파수를 낮추어 가는 방법을 사용하였다. 일반적으로 OSR 을 한번에 다 낮추는 것은 필터의 차수가 높게 필요하다는 것 등의 단점이 있으므로, 단계적으로 배수를 떨어트리는 방법을 사용한다. 여기서는 16 배-8 배-2 배로 단계적으로 배수를 떨어트렸다. 첫 번째와 두 번째 필터는 Cascaded Integrator Comb (CIC) 필터 구조를 사용하여 곱셈기 없이 Delay 소자와 덧셈기만을 이용하여 필터를 구현하였다[23]. 마지막 필터는 Half Band FIR Filter 에 CIC 필터의 Droop 발생을 Compensation 하기 위한 보정 필터를 합하여 계수를 구해 FIR 필터를 구현하였다. Decimator 의 전체 구조 및 성능은 그림 22, 그림 23 과 같다.

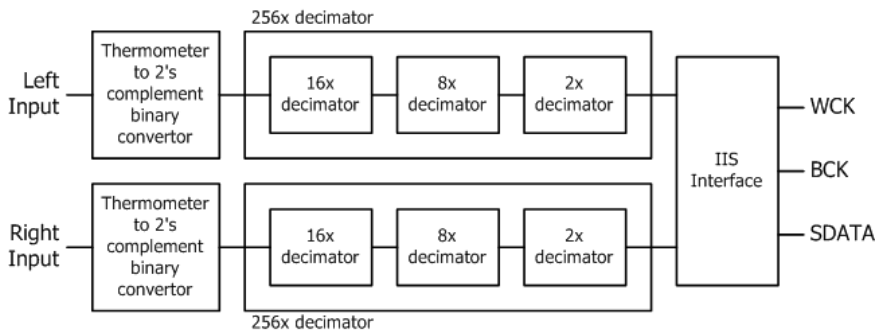


그림 22. Decimator 및 시리얼 오디오 인터페이스

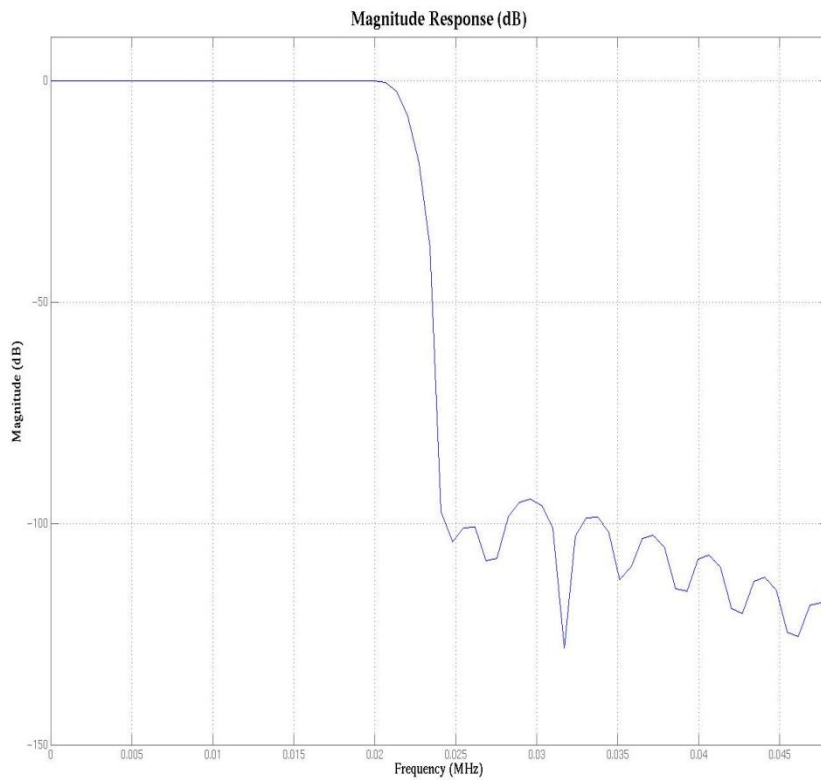
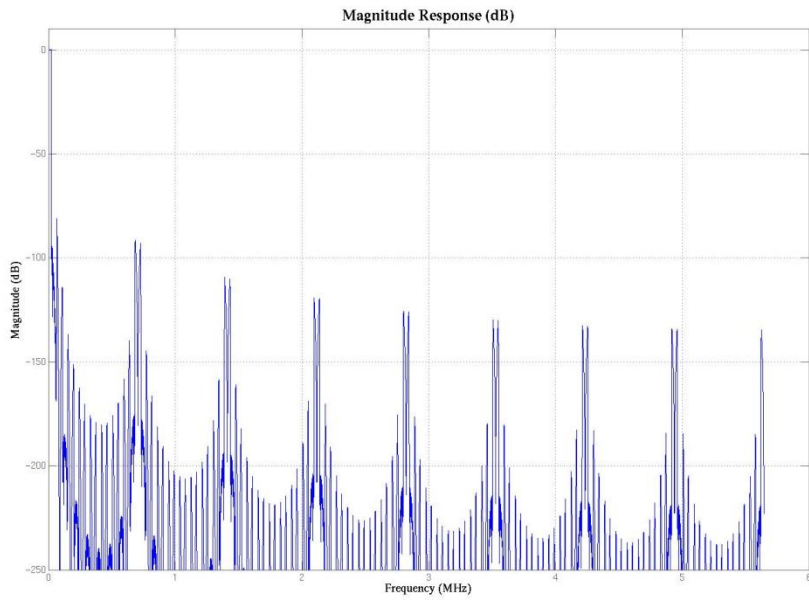


그림 23. Decimator 의 주파수 응답 특성(전 대역, 신호 대역)

I²S 인터페이스는 그림 24 같은 신호 Timing 특성을 갖는다.

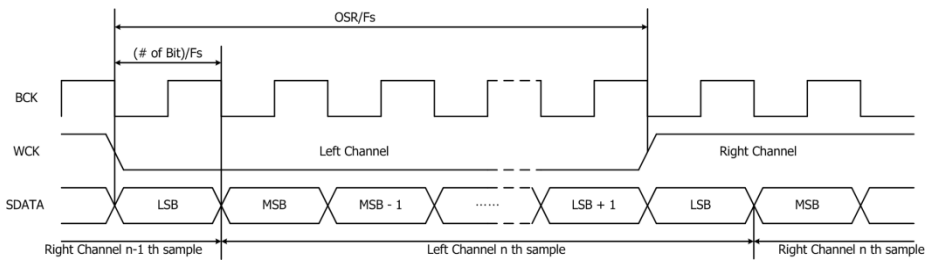


그림 24. I²S Timing Diagram

여기서는 Transmitter 만 구현하면 되므로 클럭 분주기 및 Data Serializer 를 통하여 간단히 구현 할 수 있다. Decimator 와 I²S 인터페이스는 Behavioral 수준에서 HDL 로 작성되었으며, 합성은 통하여 Gate Level 로 만들어 졌다.

Switched Capacitor 회로는 Capacitor 간의 비율을 계수로 사용하는 회로이다. 정확한 계수를 구현하기 위해서, Capacitor 는 Metal-Insulator-Metal(MIM) Capacitor 를 사용하였고, 이 Capacitor 들의 Mismatch 를 최소한으로 하기 위해 추가적인 노력을 하였다. MIM Capacitor 주변을 Metal Wire 로 감싸고 대칭으로 만들어 각 Capacitor 에서 Parasitic 으로 보이는 Capacitance 값들이 주변 Wire 및 Component 의 존재와 상관없이 비슷하게 유지되도록 하였다[24]. 각 MOS Device 들 역시 Well Proximity Effect 를 일정하게 하고 MOS 간에 보이는 주변의 모양 등을 일정하게 조정하여 Matching 을 높였다. 각 OPAMP 의 입력 MOS 들은 Common Centroid 기법을 적용하여[25] Positive/Negative 신호의 MOS 크기 차이로 인한 Offset 발생을 최소로 하였다. Decimator 와 오디오 인터페이스 회로는 합성된 결과를 Place and Route 를 통하여

Layout 을 진행하였다. 전체 Layout 결과는 그림 25 과 같다.

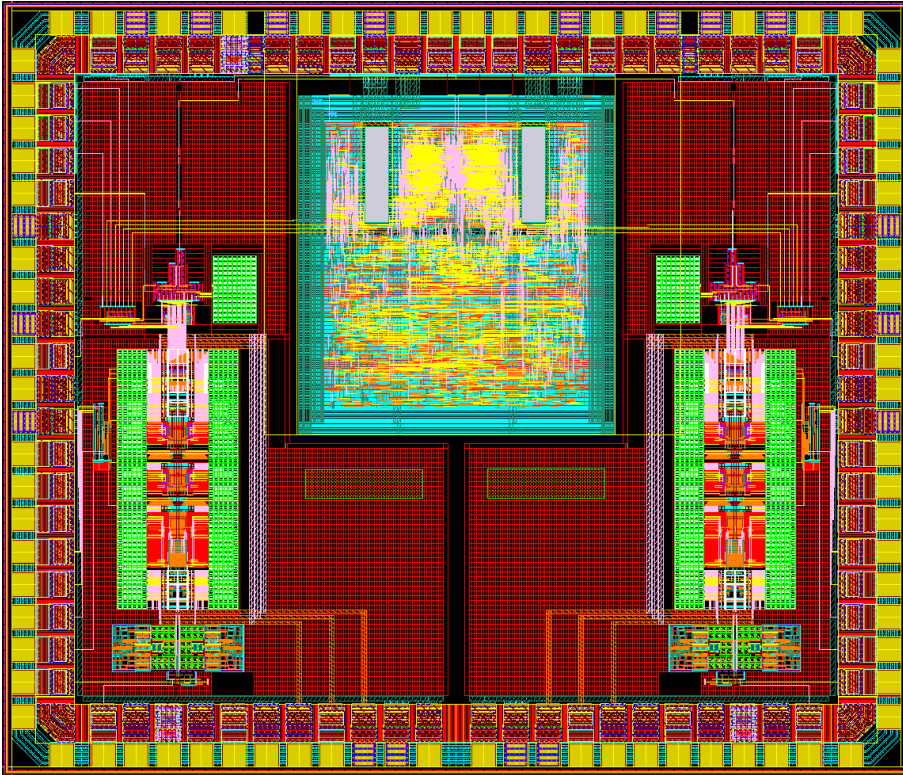


그림 25. Stereo 시그마 델타 ADC 의 Layout 사진

오디오는 일반적으로 Left/Right 의 두 Channel 이 필요하므로, 시그마 델타 변조기를 2 개 사용하였다. Decimator 와 오디오 인터페이스가 포함된 회로는 두 Channel 신호를 받아서 처리하도록 만들었다.

칩은 두 가지의 다른 구조로 제작 되었다. 독립적인 ADC 동작을 할 수 있도록 모든 기능이 통합된 칩(AMNSAR0)과 Single To Differential Block 을 제외하여 시그마 델타 변조기의 성능을 별도로 검증하기 위한 칩(AMNSAR0T)을 따로 제작하였다. 각 칩의 구조는 그림 26 과 같다.

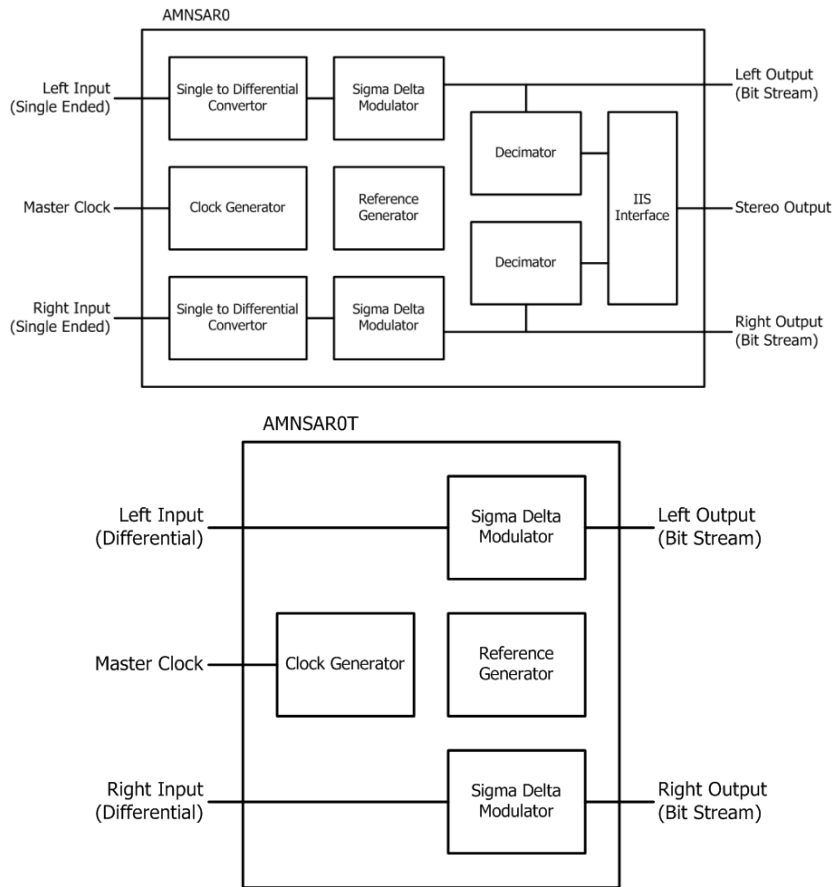


그림 26. 설계한 칩의 구조

제 4 절 설계 검증

제작한 칩의 설계 검증을 위하여 PCB 를 제작하였으며, 전체 테스트 환경을 그림 27 와 같이 구성하였다.

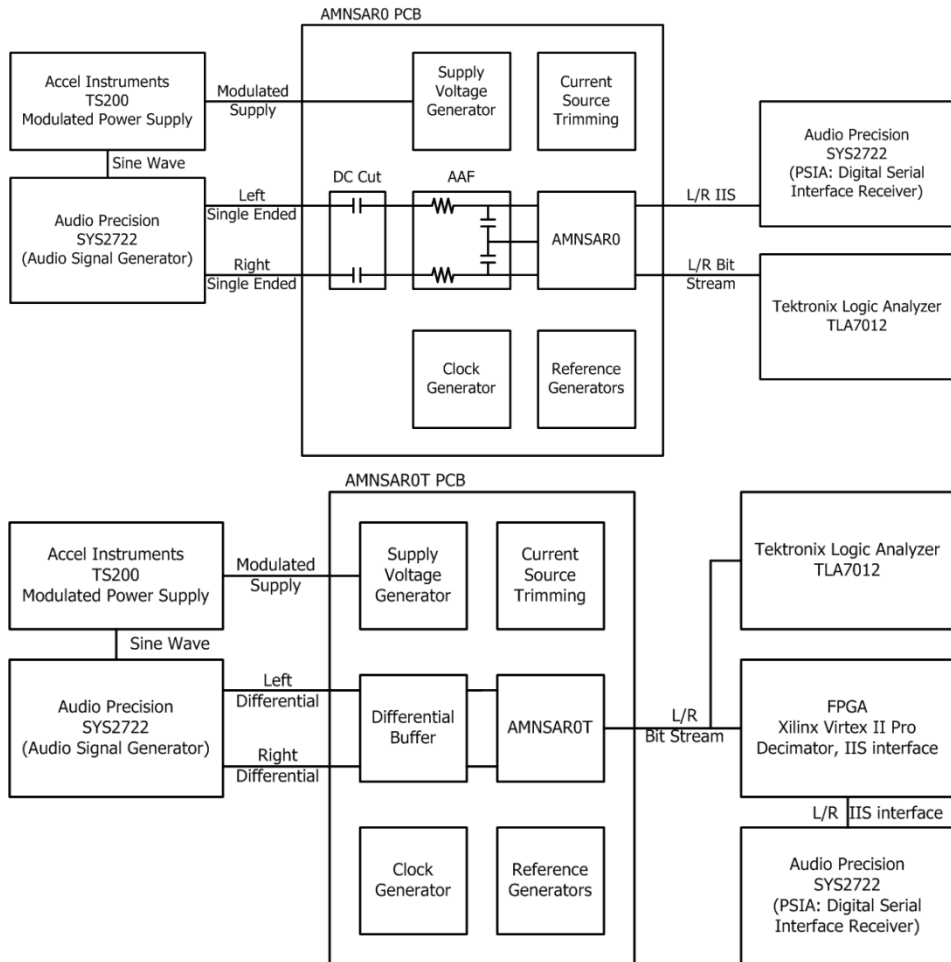


그림 27. 설계한 칩의 테스트 환경

AMNSAR0 칩은 Single Ended 입력을 받으므로, 칩의 앞 단에 간단한 Anti-Aliasing Filter(AAF) 기능을 할 수 있는 RC 필터를 구현하였다. 이 칩은 Decimation 된 신호를 시리얼 오디오

인터페이스를 통해서 바로 출력으로 내보낼 수 있으므로, 오디오 신호 테스트 장비 중 시리얼 오디오 인터페이스를 통해 결과를 바로 받을 수 있는 기능을 이용하여 측정하였다. AMNSAR0T 칩은 Differential 입력을 받고, 칩내부에 입력 Buffer 가 없으므로, 앞 단에 OPAMP 를 이용하여 Buffer 를 구성하였다. 이 Buffer 는 Low Pass Filter 로 동작하여 AAF 의 역할을 할 수 있도록 R/C 값을 조정하였다. 또한 이 칩은 시그마 델타 변조된 디지털 출력을 바로 내보내므로, 실험의 편의를 위하여 Field Programmable Gate Array (FPGA)를 이용하여 Decimator 와 시리얼 오디오 인터페이스를 별도로 구현하여 측정 장비와 연결하였다. 이 Decimator 의 성능 검증 역시 필요하므로 Logic Analyzer 를 사용하여 시그마 델타 변조된 신호를 바로 저장하고 Matlab 으로 신호 처리를 통하여 성능을 확인하는 방법을 추가로 진행 하였다.

제 5 절 측정 결과

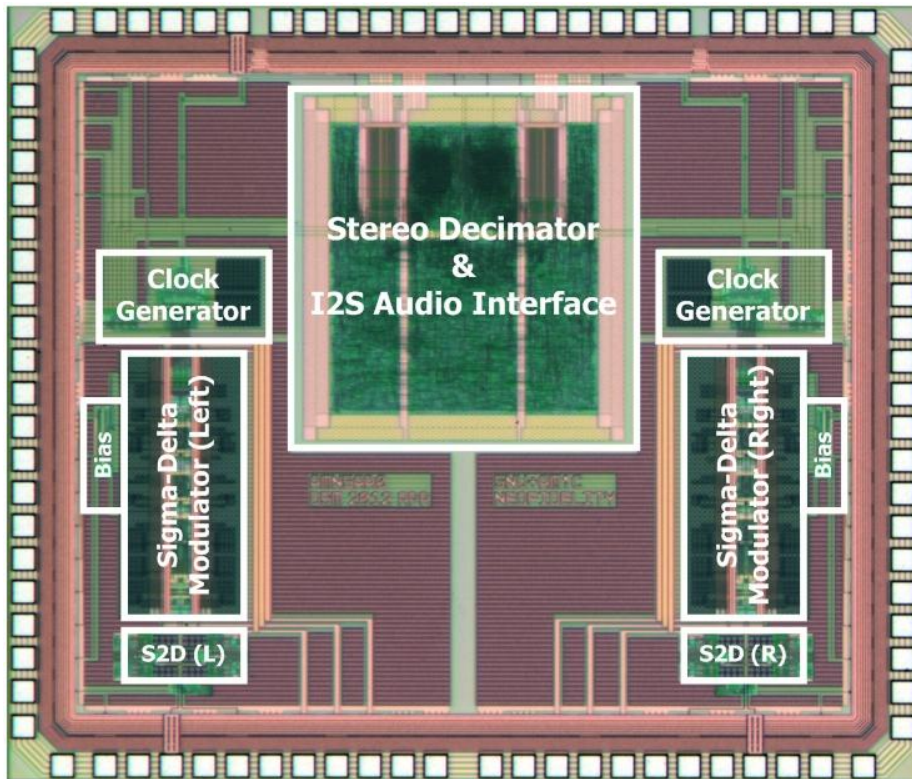


그림 28. Stereo 시그마 델타 ADC 의 Micro Photo

이 절에서는 설계한 칩의 시작품 측정을 통해 설계 방법의 적절성을 검증하고자 한다. 시작품 칩의 특성을 표 5 에 정리하였으며 표 6 은 성능 측정 결과를 정리한 표이다.

표 5. 시작품 칩의 특성

항목	특성
Process	0.13 μm Mixed Signal CMOS Process
Size	2480 μm x 2110 μm

표 6. 성능 측정 결과

항목	칩 종류	측정치	단위
SNR (1 kHz 2 Vrms Sine Input)	AMNSAR0	92.1	dB
	AMNSAR0T	94.3	dB
THD+N (1 kHz 2 Vrms Sine Input)	AMNSAR0	-86.0	dB
	AMNSAR0T	-91.3	dB
PSRR (100 mVpp, 1 Hz Sine on VDDA)	AMNSAR0	50	dB
	AMNSAR0T	91	dB

AMNSAR0 와 AMNSAR0T 를 별도로 측정하여 내부 Block 들의 성능을 확인할 수 있었다. Differential 입력을 받아 직접 시그마 델타 변조기의 성능을 측정한 AMNSAR0T 의 결과를 보면 목표로 한 SNR 및 THD 성능을 달성했음을 알 수 있다.

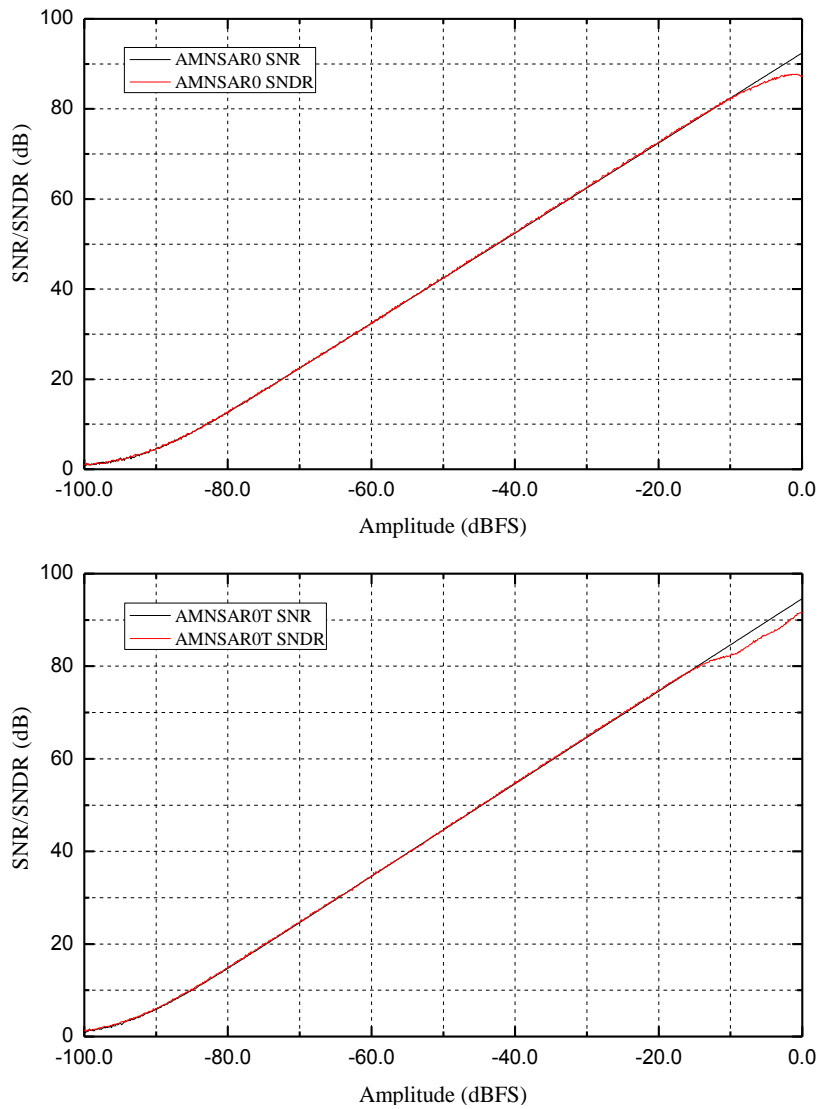


그림 29. 측정결과, SNR, SNDR

그림 29의 SNR Graph를 보면 우선 최대 입력인 3.3V 입력까지 시그마 델타 변조기가 안정적으로 동작하는 것을 확인할 수 있다. SNR은 설계 목표로 잡고 Simulation을 통하여 검증한 예측치와 큰 오차 없이 달성되었음을 알 수 있다.

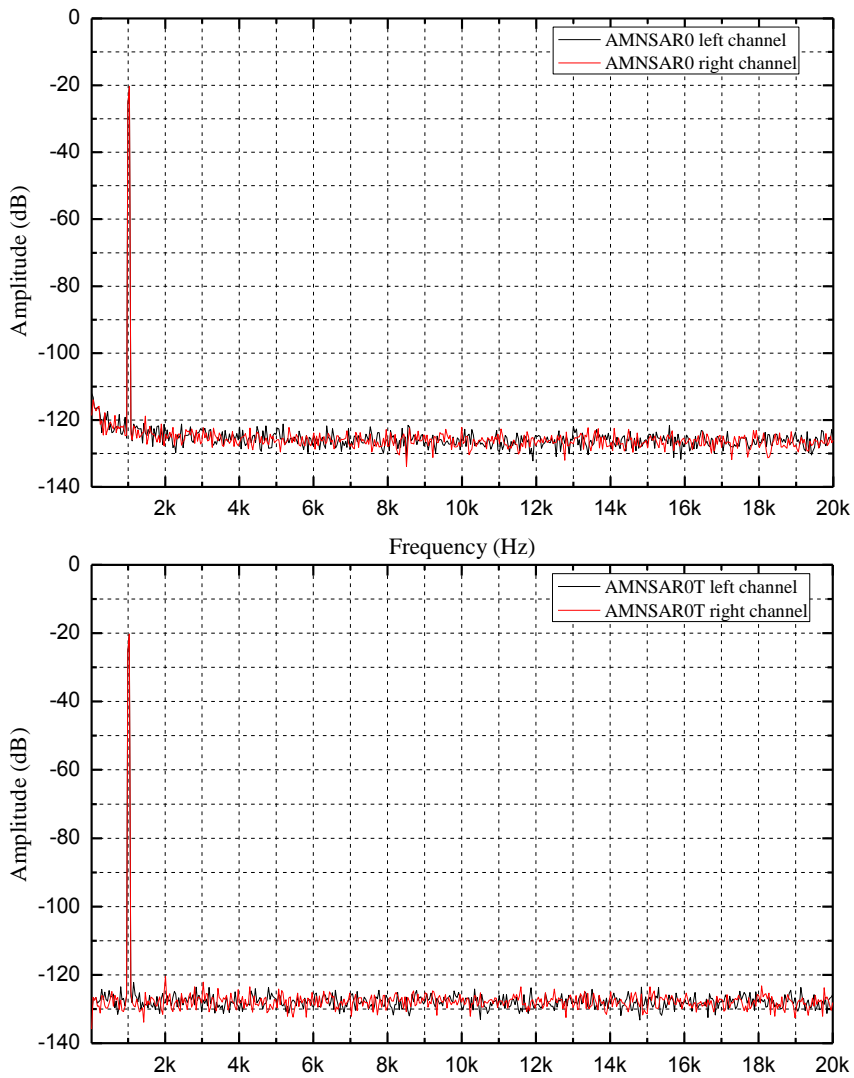


그림 30. 측정 결과, FFT

또한, FFT Graph 를 통해 CDS 기능이 잘 동작하여 $1/f$ 노이즈가 제대로 제거 되었음을 알 수 있다. 낮은 레벨의 입력 시에 Pattern Noise 또한 충분히 낮아져서 관측되지 않음을 알 수 있다. 또한 THD 성능 역시 목표치를 상회하는 결과를 얻었다. 이는 Bootstrapping 스위치와 OPAMP 의 성능이 설계치와 부합하여 잘 동작함을 보여준다.

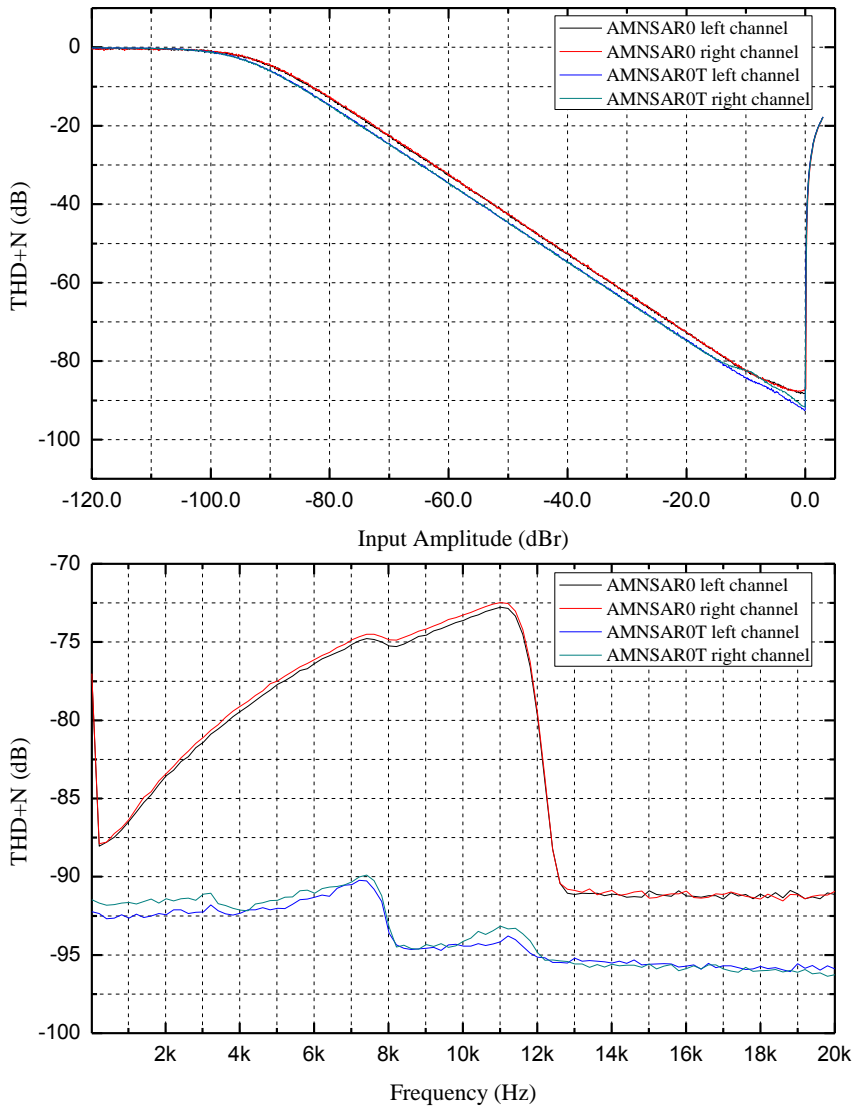


그림 31. 측정결과, THD vs. Amplitude/Frequency

그림 29 에서 AMNSAR0 칩의 결과를 보면 SNR 수치가 AMNSAR0T 에 비하여 떨어짐을 알 수 있다. 이는 Single Ended To Differential 회로와 시그마 델타 변조기의 Noise 가 합쳐진 결과로, 각 Block 의 설계치 및 측정치를 바탕으로 계산해 보면 타당한 결과임을 알 수 있다. Single Ended To Differential 회로에는

CDS 등의 $1/f$ 노이즈를 제거하기 위한 별도의 기법을 적용하지 않았으므로, FFT 측정 결과에 $1/f$ 노이즈가 저주파 영역에 보이는 것을 확인 할 수 있다. 하지만, Single Ended To Differential 에 사용된 OPAMP 의 입력 소자의 크기를 키우는 등의 노력을 통해 $1/f$ 노이즈가 너무 커지지 않고 적절한 수준 이하로 유지 되었음을 확인할 수 있다.

PSRR 성능의 경우 AMNSAR0T 의 성능이 월등히 우수한데, 이는 내부 회로 전체가 Fully Differential 구조로 구현되어 있어서 전원 노이즈에 매우 강인한 특성을 가지기 때문이다. 하지만, AMNSAR0 의 경우 입력 단에 Single Ended To Differential 회로가 내장되어 있고 이 회로는 기본적으로 Single Ended 회로이므로, 내부에 사용된 OPAMP 의 PSRR 성능에 의해 전체 PSRR 성능이 결정된다. 따라서, AMNSAR0 가 AMNSAR0T 보다 구조적으로 낮은 PSRR 성능을 보이게 된다.

Cross Talk 측정 결과를 보면 내부에 구현된 두 Channel 간의 간섭은 충분히 낮은 것으로 판단된다.

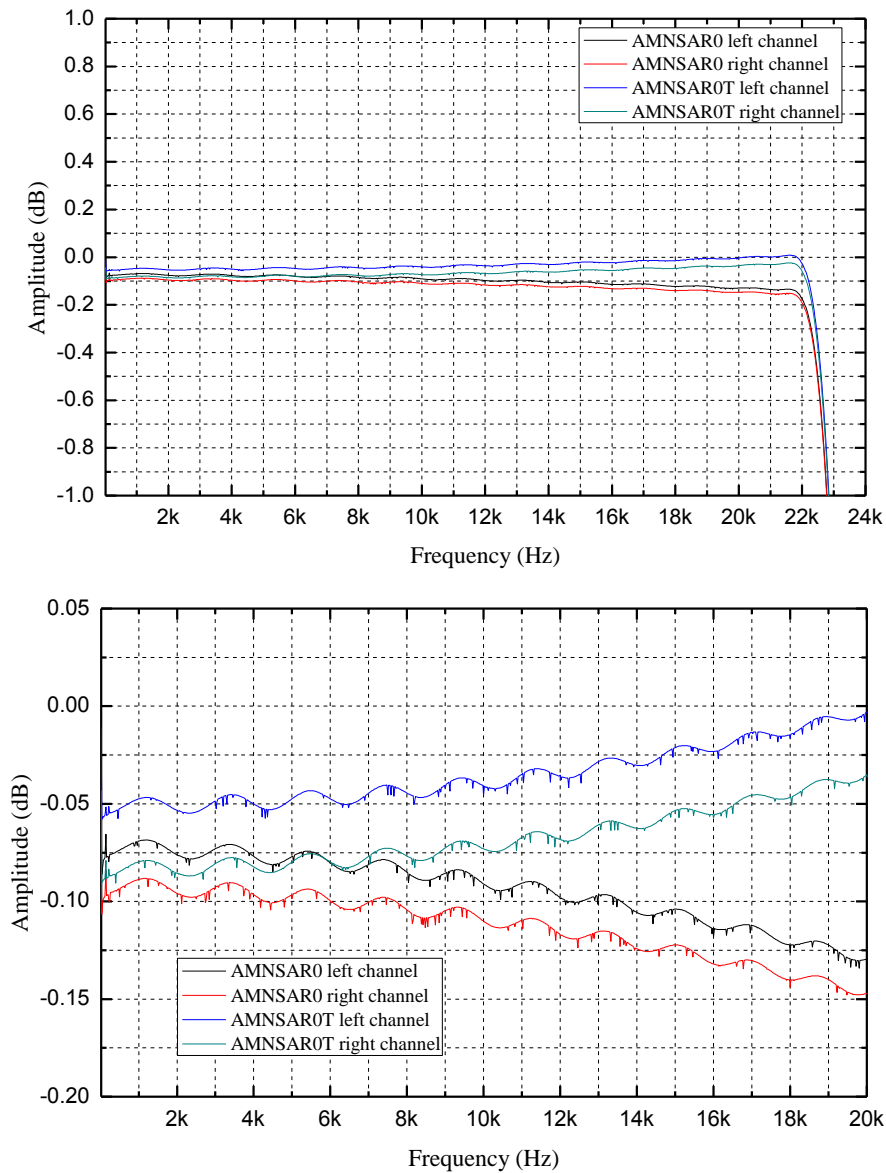


그림 32. 측정 결과, Frequency Response, Passband Ripple

Decimator 의 목표는 원 신호에 추가적인 노이즈 없이 샘플링 주파수를 낮추는 것이다. 비교 측정 결과 Decimator 를 통과시킨 것과 직접 시그마 델타 변조된 신호를 잡아서 성능을 측정한 것과의 차이는 미미하였다. 그림 32 에 신호대역 Ripple 의 측정을 보면, 여기서 나오는 특성은 디지털로 신호 처리를 한 Decimation 필터의 최종

출력과 일치한다. 이는 Decimation 필터를 구성하는 CIC 필터와 Half Band FIR 필터가 모두 정상 동작 하는 것은 보여주는 것을 보여준다. 오디오 신호는 일반적으로 주파수 응답이 신호 대역에서 ± 0.5 dB 이내여야 하는데, 그래프는 이를 충분히 만족하는 특성을 보인다.

아날로그 블록은 전력 소모량이 OPAMP 에 의해 정해진다. OPAMP 가 목표로 하는 성능을 만족시키기 위해 각 Device 를 원하는 Bias Point 에서 동작하도록 설계 하고, 이 Bias Point 는 대부분 전류량으로 정해지기 때문에 Bias Current Generator 에서 발생하는 전류가 설계치와 비슷하다면, OPAMP 가 소모하는 전류량은 거의 설계치와 동일하게 나온다. 측정 결과는 설계치와 거의 일치하는 결과를 얻었다. Digital Block 의 경우 Simulation 에서도 한 개의 Invertor 가 생각보다 많은 Current 를 소모하였는데, 이는 사용한 공정의 특성 때문으로 보인다. Digital Block 의 전력 소모를 줄이는 방법은 공정을 바꾸거나 High Threshold Voltage CMOS 소자를 이용하여 설계하는 방법으로 개선할 수 있다.

마지막으로, 시제작을 통해 얻은 여러 칩에 대한 SNR 측정을 진행하였다. 이 실험을 위하여 칩 Package 에 맞는 테스트용 Socket 을 구하여 별도의 PCB 를 꾸며서 사용하였다. 측정 결과는 표 7 에 정리하였으며, 칩간 편차가 미미하여 상당히 안정적인 성능을 얻었음을 알 수 있다. 이는 칩 설계시에, 열 잡음에 SNR 성능이 제한 되도록 만든 결과로 판단된다.

표 7. 칩에 따른 Noise Power Variation

Chip Index	Noise Power(dBFS)		Chip Index	Noise Power(dBFS)		Chip Index	Noise Power(dBFS)	
	L	R		L	R		L	R
1	-92.8	-92.6	14	-92.7	-92.4	27	-92.4	-92.5
2	-92.9	-92.4	15	-93.0	-92.7	28	-92.9	-92.3
3	-92.6	-92.4	16	-92.9	-92.9	29	-92.9	-92.6
4	-92.7	-92.5	17	-92.8	-92.8	30	-92.8	-92.7
5	-92.7	-92.6	18	-92.7	-92.7	31	-92.7	-92.5
6	-92.9	-92.8	19	-92.7	-92.4	32	-92.6	-92.4
7	-92.8	-92.5	20	-92.3	-92.6	33	-92.9	-92.6
8	-92.6	-92.8	21	-92.7	-92.7	34	-92.7	-92.5
9	-92.8	-92.9	22	-92.8	-92.8	35	-92.7	-92.7
10	-92.3	-92.5	23	-92.5	-92.7	Average	-92.7	-92.6
11	-92.8	-92.6	24	-92.4	-92.6	STD	0.178	0.160
12	-92.6	-92.6	25	-92.4	-92.8	3 x STD	0.535	0.480
13	-92.7	-92.9	26	-92.8	-92.6	3 σ in %	-0.6%	-0.5%

제 6 절 결론

첫 번째 오디오용 시그마 델타 변조기의 설계를 통해서 설계 방법론을 확립하였으며, 원하는 성능을 얻기 위해 필요한 여러 요소를 검토하여 설계를 진행하였다. 또한 상용 오디오 ADC 를 만드는데 필요한 모든 기초 Block 들을 구현하고, 검증하였다. 그 결과 Consumer 시장에서 사용되는 오디오용 ADC 의 성능 목표를 달성하였으며, 다수의 칩측정 결과 성능 차이가 크지 않음을 확인하였다. 이러한 설계 경험을 바탕으로 다음 오디오용 ADC 설계에 새로운 개념을 적용할 수 있었다.

제 3 장 저 전압 동작에 적합한 양자화 장치를 기반으로 한 오디오 ADC

반도체 소자 설계에 있어서 회로 설계자가 원하는 것은 공정의 발전이 오직 성능의 발전을 가져 오고, Side Effect 혹은 Secondary Effect 로 인한 성능 저하, 설계 방법론의 변화 등이 없는 것일 것이다. 따라서 공정 개발 방향은 기본적으로 반도체 소자의 동작으로 얻을 수 있는 주요 특성을 최대한 유지하거나 발전시키는 방향으로 개발된다. 이는 CMOS 공정 발전에서도 볼 수 있듯이 비슷한 Over-drive Voltage 상에서 Bandwidth 에 해당하는 Transit Frequency 는 크게 증대 되었으나, Power Efficiency 에 해당하는 gm/Id 값이 공정 발전에 따른 약간의 저하는 있지만 큰 변화 없이 비슷한 값을 보이도록 유지되고 있는 점에서 확인할 수 있다[26]. MOS 의 기본 목적은 Trans-conductance 를 얻기 위함이므로, 같은 Bias 상황에서 전류당 Trans-conductance 를 얻을 수 있는 정도는 비슷하게 유지되어 온 것이다.

이에 비하여 Device 의 Output Impedance 는 Secondary Effect 에 해당한다. Output Impedance 는 Mobility 나 Velocity Saturation 등의 효과에 의해 결정되므로 회로의 Bias 에 의해서 명확히 정해지지 않는다. 더욱이 공정이 세밀해지면서 Gate-Induced Drain Leakage (GIDL) 등의 효과로 인해 Drain Current Leakage 가 커지면서 Output Impedance 는 점점 떨어지고 있다. 따라서, 하나의 Device 당 얻을 수 있는 Gain 이 크게 줄고 있다.

이러한 특성들의 변화를 보았을 때, 반도체 공정의 발전은 기본적으로 구현할 수 있는 Trans-conductance 의 값은 비슷하게

유지되었고 부산물로 Bandwidth 를 얻었지만, 여러 가지 Side Effect 로 Output Impedance 가 나빠져 왔으며 이에 따라 Gain 을 잃었다고 할 수 있다.

여기에 고려되지 않은 중요한 항목은 전원 전압의 저하이다. 위의 논의는 비슷한 Bias Condition 을 기준으로 논하였다. ADC 는 회로의 Distortion 도 매우 중요한 성능 요소이기 때문에 Bias Condition 을 바꾸어서 Power Efficiency 를 높이는 것에는 한계가 있다. 너무 큰 값의 gm/Id 값을 사용하면 Distortion 이 증가하는 것으로 알려져 있다[26]. 또한, Load Device 의 Output Impedance 를 일정하게 유지시키기 위해서는 V_{ds} 를 $V_{d,sat}$ 보다 충분히 크게 유지 시켜줘야 한다. 이는 전원 전압이 낮아짐에 따라 생기는 회로의 Voltage Swing Range 부족의 원인이 된다. 이는 회로를 설계할 때 고려 가능한 구조의 제한을 불러오기 때문에, 회로 설계 기법의 변화를 불러오고 있다.

이러한 공정상의 제약에 대한 대책 중 하나로, 반도체 회사마다 공정에서 기존에 많이 사용하던 3.3 V 등의 전압에서 동작 가능한 소자를 제공하고 있다. 하지만, 시스템 전체의 설계 차원에서 여러 종류의 전압을 사용하는 것은 낭비요소가 된다. 다양한 전압의 사용은 전압 경계에서 신호 변환이 필요하기 때문에 설계가 복잡해지고, 노이즈에 취약해 질 수 있다. 또한, 다양한 전압에서 동작하는 소자를 한 개의 칩에서 구현하기 위해서는 추가적인 Mask 사용이 불가피하기 때문에 양산 비용이 증가하는 문제가 있다. 더불어, 낮은 전압으로 얻을 수 있는 가장 큰 이득인 회로 전력 소모의 절감을 이루기 위해서도 저 전압 동작의 아날로그 회로 개발은 필요하다. 따라서,

공정에서 제공하는 Digital 로직의 동작 전압과 동일한 전압으로 동작 가능한 아날로그 회로가 필요하다.

제 1 절 저 전압 소자 사용에 대한 고려

여기까지는 공정 발전에 따른 Device 의 변화 방향과 저 전압 동작 아날로그 회로의 필요성에 대하여 알아보았다. 위에서 설명한 공정의 변화를 바탕으로 Discrete Time 시그마 델타 ADC 의 경우 저 전압 소자 사용시 설계 변화에 따라 고려해야 하는 사항들을 살펴보면 다음과 같다.

1. 입력 신호의 전압 범위가 줄어들에 따른 노이즈 파워를 줄일 필요성에 대한 고려
2. OPAMP Gain 저하에 따른 성능 변화에 대한 고려
3. 양자화 장치에 사용되는 비교기간 전압 차이가 줄어드는 것에 대한 고려

Discrete Time 시그마 델타 ADC 의 경우 일반적으로 양자화 노이즈보다 열 잡음의 비율이 크도록 설계하기 때문에 열 잡음이 ADC 의 주요 노이즈 원이 된다. 그러므로 전원 전압 저하에 따른 입력 신호 레벨 저하를 고려하면 열 잡음을 기존의 설계에 비해서 크게 줄여야 한다. Discrete Time 시그마 델타 ADC 는 Switched Capacitor 회로를 사용하므로, 모든 열 잡음은 Capacitor 에 적분되어 Capacitor 의 크기에 의해 열 잡음의 크기가 정해진다. 열 잡음의 파워는 kT/C 로 나타나므로, 열 잡음을 줄이기 위해서는 Capacitor 가 해당 비율만큼 커져야 한다. 따라서 전원 전압의 저하는 칩이 차지하는 면적 증가와 큰 Capacitor 를 구동하기 위하여 Current 소모가 증가한다는 단점을 불러온다.

OPAMP 의 Gain 저하는 Discrete Time 시그마 델타 ADC 에 여러 가지 문제를 일으킬 수 있다. 일반적으로 낮은 OPAMP Gain 은

적분기의 Gain 에 Leakage 를 만들어서 적분기의 저주파 성능을 떨어트린다. 따라서, 저주파에서의 노이즈 웨이핑 효과가 감소된다[27].

양자화 장치는 비교기들의 조합으로 구성 되어 있고, 이 비교기들은 각각의 Reference 입력에 대한 크고 작음을 판단하는 기능을 수행한다. 동작 전압이 줄어들에 따라 Reference 전압 역시 같이 줄어들게 되었다. 이렇게 전압이 줄어들게 되면 각 양자화 간격간의 거리가 가까워지므로 설계에 따라 오동작이 발생할 수 있는 가능성이 높아진다.

제 2 절 시그마 델타 변조기의 구조

본 논문에서 새로 제안하는 구조는 반도체 공정이 발전함에 따라 전압이 줄어들어 점점 더 양자화 간격이 가까워 지는 방향으로 진행하고 있다는 문제 의식으로부터 착안되었다. 도입부에서 논의한 바와 같이 시그마 델타 변조기에 사용되는 양자화 bit 수는 다양한 이유로 높아져 왔으며, 많은 경우 4~5 bit 정도를 사용하고 있다. 이는 bit 수가 올라갈수록 양자화 장치의 선형성이 높아지는 등의 이점이 있지만 bit 수가 높이 올라가면 현실적으로 구현에 어려움이 많이 생기기 때문이다. 1.2 V 전원에서 5 bit 의 정밀도를 갖는 양자화 장치를 만들게 되면 양자화 레벨의 간격은 10 mV 근처가 된다. 일반적인 소자들의 Offset 이 수 mV 정도이므로 공정 변화 등을 생각하면 각 레벨간의 값의 순서가 뒤집히는 문제가 발생할 수 있다. 이러한 문제를 해결하기 위해서는 양자화 장치에 별도의 회로를 추가하여 각 패턴을 확인하고 보정해주어야 한다[28]. 하지만 전원 전압이 더욱 내려가게 된다면 각 레벨 값을 정하는 비교기 간의 성능 편차는 심해질 것이며, 각 레벨 간 에러가 다양한 패턴으로 더 자주 발생하게 될 것이므로 이러한 보정이 더욱 어려워질 것은 명확하다.

이러한 문제를 해결하고자 양자화 장치를 개량하는 작업은 여러 방법으로 시도되었다. 대표적인 것으로 Flash 형 양자화 장치가 아닌 Successive Approximation(SAR)형 양자화 장치[29]를 사용하거나 Dual Slope 양자화 장치[30], 혹은 양자화 장치로 VCO 를 사용하는 기법[31] 등이 있다. SAR 형 양자화 장치는 입력 신호의 전압에 해당하는 전하를 여러 Capacitor 에 충전하여 하나의 비교기를 가지고 여러 번 판단 하여 각각의 bit 를 판단하는 방식이다. 이러한 방식은

하나의 비교기를 사용하므로 전원 전압이 줄어들어 따른 문제에 큰 영향을 받지 않는다. 일반적으로 10~12 bit 정도의 해상도까지는 구현할 수 있다고 알려져 있으며, 이는 공정의 변화에 따른 Capacitor 크기의 Mismatch 에 의해 제한되는 것으로 알려져 있다. 입력 전압을 여러 크기의 Capacitor 에 한꺼번에 전하로 저장하기 위하여 필요한 해상도만큼 나눌 수 있는 큰 Capacitor 가 필요하므로, 해상도에 비례하여 앞 단 회로의 부하가 커지는 단점이 있다. 또한, 하나의 입력에 대해 값을 얻기 위해서는 bit 수만큼 높은 주파수의 클럭이 필요하다는 단점이 있다.

Dual Slope 양자화 장치는 입력 전압을 Capacitor 에 전하 형태로 저장한 후 일정한 양의 전류를 빼주어 Capacitor 에 걸리는 전압이 특정 레벨에 도달하는 시간을 재는 등의 방법으로 양자화를 진행한다. 이 방법 역시 한 개의 비교기를 이용하여 구현이 가능하기 때문에 주 전원 전압의 낮아지는 추세에 큰 영향을 받지 않는 구조이다. 단점으로는 일정 전류를 빼주는 역할을 하는 Current Source 가 공정 변화에 취약하기 때문에 전류의 크기를 정확히 예측하여 조절하기 어렵다는 점이 있으며, 시간을 측정하기 위해서 시그마 델타 변조기의 동작 주파수보다 훨씬 높은 주파수의 클럭이 필요하다는 점이 있다.

VCO 를 양자화 장치로 사용하는 방법은 전압 입력에 따라 주파수가 변하는 VCO 의 특성을 양자화 장치로 이용한 것이다. 이를 통해 고속의 양자화 장치를 얻을 수 있지만, VCO 의 출력으로 나오는 Clock 의 속도를 판별하기 위한 빠른 회로가 필요한 단점이 있으며, Inverter 를 기반으로 한 VCO 를 사용하는 경우 선형성 확보에 어려움이 있다.

위의 구조들을 검토했을 때 완전히 다른 접근 방식을 보인 VCO 를 이용한 양자화 장치를 제외하면, 공통적으로 전압을 판단하는 기능은 단순화 시키고 각 샘플간의 여유 시간을 이용해서 각 구조 고유의 기법을 적용하여 해상도를 높이는 방법을 사용했음을 알 수 있다. 제안하는 구조인 시그마 델타 변조 역시 근본적으로 전압 판단은 단순화 하고 시간을 나누어 사용하여 해상도를 높여 값을 판단하는 방식의 일종이라는 점에 기반한다.

제안하는 구조는 양자화 장치의 해상도를 높이기 위해서 낮은 양자화 레벨로 값을 얻은 후 그 값을 시그마 델타 변조하면 양자화 노이즈를 주파수 변형하여 해상도를 높일 수 있음에서 착안하였다. 양자화 장치는 원 신호에 양자화 노이즈를 추가하게 되고 이 노이즈가 바로 신호의 해상도를 결정하기 때문에, 양자화 노이즈를 주파수 변형하는 시그마 델타 변조를 한 후 고주파에 있는 양자화 노이즈를 필터로 깎아내면 해상도가 높은 양자화 장치가 구현된다. 양자화 장치의 전체 구조는 그림 33 과 같다.

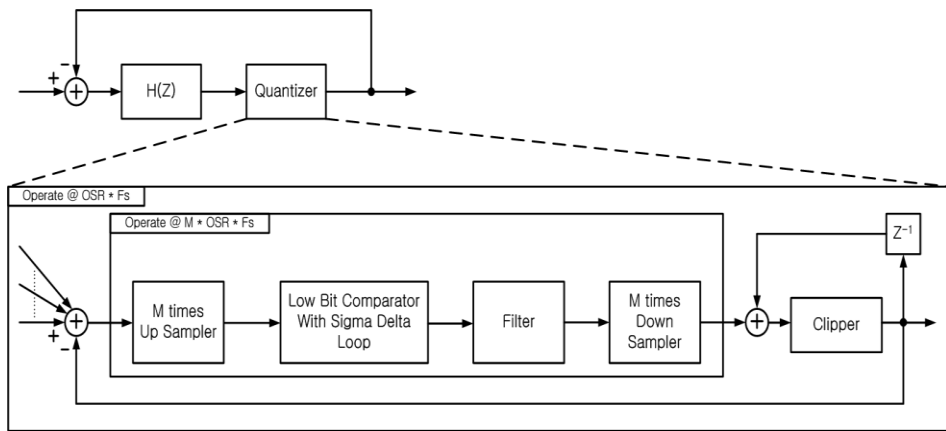


그림 33. 제안하는 양자화 장치 구조

양자화 장치로 입력된 신호를 시그마 델타 변조하기 위해서는 전체 ADC 가 동작하는 주파수보다 높은 주파수의 클럭이 필요하다. 이는 물리적으로 시그마 델타 변조를 위해서 시간이 필요하기 때문이다. 제안하는 구조에서는 양자화 장치에 입력되는 각 샘플마다 시그마 델타 변조를 거쳐 해당 샘플에 해당하는 필터를 통한 후 다운샘플 하도록 구성하였다.

제안하는 양자화 장치 구조는 시그마 델타 변조기를 필요로 한다. 일반적으로 아날로그 회로에서 시그마 델타 변조기는 적분기를 이용하여 구현한다. 하지만 이 구조에서는 아날로그와 디지털의 경계에 시그마 델타 변조기가 위치할 뿐만 아니라, 적분기는 Loop stability 문제가 생길 가능성이 있으므로 사용하지 않았다. 대신 Error Feedback 구조를 이용하여 시그마 델타 변조를 구현하였다.

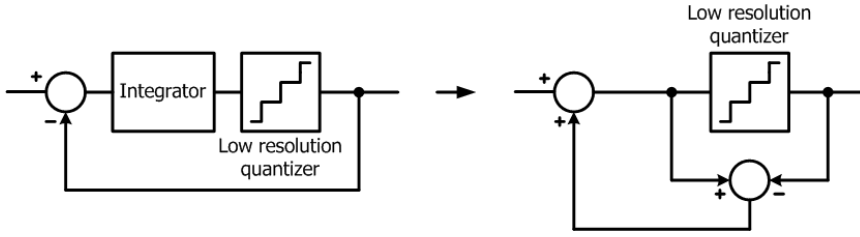


그림 34. 적분기 기반과 Error Feedback 기반 시그마 델타 변조기

Error Feedback 구조는 적분기 기반 구조에 비해 구현이 단순하고, Stability 에 영향을 주지 않는다는 장점이 있다. 이 구조는 주로 디지털 회로에서 사용되는 구조이다[32].

기본적으로는 적분기를 사용한 변조기의 NTF 는

$$NTF[z] = \frac{z-1}{z}$$

이며, Error Feedback 구조를 사용한 변조기의 NTF 역시

$$NTF[z] = \frac{z-1}{z}$$

이다. 적분기와 Error Feedback 구조를 이용하여 시그마 델타 Loop 를 만들면 이상적으로 NTF 는 동일하다. 하지만, 계수가 α 만큼 변화하면 NTF 는 다음과 같이 변화한다.

적분기를 사용한 변조기의 NTF 는

$$NTF[z] = \frac{z-1}{z-\alpha}$$

으로 변화하고, Error Feedback 구조를 사용한 변조기의 NTF 는

$$NTF[z] = \frac{z-(1-\alpha)}{z}$$

로 변화한다.

두 식에서 적분기를 사용한 시그마 델타 변조기의 NTF 는 Pole 의 위치가, Error Feedback 구조를 사용한 변조기는 Zero 의 위치가 바뀌는 것을 확인할 수 있다.

Error Feedback 구조에서 계수의 값이 원래의 값과 틀어지면

NTF의 Zero 위치가 DC에서 고주파 방향으로 이동하여 노이즈 성형 효율이 떨어지게 된다. 이와 달리 적분기는 계수의 변화가 NTF의 Pole 위치를 변화시키므로 전체 성능의 변화가 거의 없다.

이러한 차이는 공정상의 Mismatch에 의한 시그마 델타 변조기의 성능 변화가 나타나는 방식에 차이를 불러온다. 식에 나타난 바와 같이 계수의 변화율에 Zero의 위치가 직접 영향을 받는 Error Feedback 구조는 일반적 Analog Mixed Signal 공정에서 사용되는 MIM Capacitor의 Capacitor mismatch에 의한 변화 가능 폭인 $\pm 0.1\%$ 일 경우 $F_{SYSTEM} * \pm 0.1\%$ (여기서 F_{SYSTEM} 은 변조기의 동작 주파수)의 위치로 zero가 움직이게 된다. 이렇게 움직인 zero의 위치가 전체 시그마 델타 변조기의 노이즈 응답 특성에서 목표로 하는 신호대역 안쪽에 위치하게 되면 SNR 성능에 큰 영향을 주지 않는다. 하지만, 신호대역 밖에 위치하게 되면 전체 성능을 저하시키는 요인으로 작용하게 된다. 새로 제안하는 구조에서는 $F_{SYSTEM} = F_{SAMPLING} * OSR * N_{MOD,ERRFB} / N_{DOWN}$ 가 되며, 여기서 $F_{SAMPLING}$ 은 신호의 Nyquist Sampling 주파수, $N_{MOD,ERRFB}$ 는 Error Feedback이 비교기의 동작 속도보다 얼마나 빠르게 동작하는가를 나타내며, N_{DOWN} 은 Error Feedback 구조로 Modulation 한 값에서 양자화기 입력과 같은 속도의 값을 얻기 위해 얼마나 Sample을 줄였는가를 나타낸다.

한편, 적분기를 사용한 구조와 Error feedback 구조의 가장 큰 차이점은 양자화 장치에 사용하는 경우, 적분기를 사용한 구조는 Delay를 가질 수 밖에 없으므로 뒤에 추가되는 디지털 로직의 Delay 때문에 시그마 델타 변조기의 루프 내에서 사용시 루프의

안정도에 영향을 미치지만, Error Feedback 을 사용한 구조는 Delay 가 없기 때문에 루프의 안정도에 영향을 미치지 않는다는 점이다. 이는 적분기는 신호가 Delay 되어 Feedback 되기 때문에 신호의 위상에 영향을 줄 수 있지만, Error Feedback 구조는 양자화 Error 만이 Feedback 되기 때문에 신호의 위상에 영향을 줄 수 없는 구조이기 때문이다. 이는 실제 회로를 구성함에 있어 큰 장점이 될 수 있다.

제안된 구조의 양자화 레벨 수는 실제 비교기로 구현된 양자화 레벨 수와 필터의 구조 및 차수에 의해 직접적인 영향을 받는다. 더욱이 구조상의 특성으로 제안된 구조가 갖는 양자화 레벨 수와 실제 해상도와는 차이가 발생할 수 있다. 특히 변조기 이후의 다운 샘플링 과정에 따라 해상도 값은 크게 변하게 된다. 다운 샘플링 시 높은 차수의 필터를 사용하면 신호 대역 외의 노이즈를 대부분 깎을 수 있으며, 이 경우 시그마 델타 변조로 얻을 수 있는 최대의 해상도를 얻을 수 있을 것이다. 하지만, 높은 차수의 필터를 실제 구현하기 위해서는 높은 주파수의 클럭과 많은 회로 자원이 필요하게 된다. 따라서, 최소한의 차수로 최대한의 효과를 얻을 수 있는 필터의 설계가 필요하다. 구현에 제약이 되는 조건 중 가장 중요한 것은 전체 시그마 델타 변조기 구성시에 Feedback 의 Delay 시간이 커지면 시스템이 불안정하게 되어 발진하게 되므로 이를 막아야 한다는 점이다. 이를 위해서는 시그마 델타 변조기의 1 Sample 길이 이내로 Error Feedback 을 이용한 변조와 필터링 및 기타 신호 처리가 완료되어야 한다. 따라서, 현실적으로 필터의 차수는 $N_{MOD,ERRFB}$ 보다 작은 값을 사용해야 한다.

이 구조에서는 필터의 Zero 의 위치를 $\frac{k}{N_{MOD,ERRFB}} \times F_{SYSTEM}$,

$k=1, 2, \dots, N_{MOD,ERRFB} - 1$ 이 되도록 하였다.

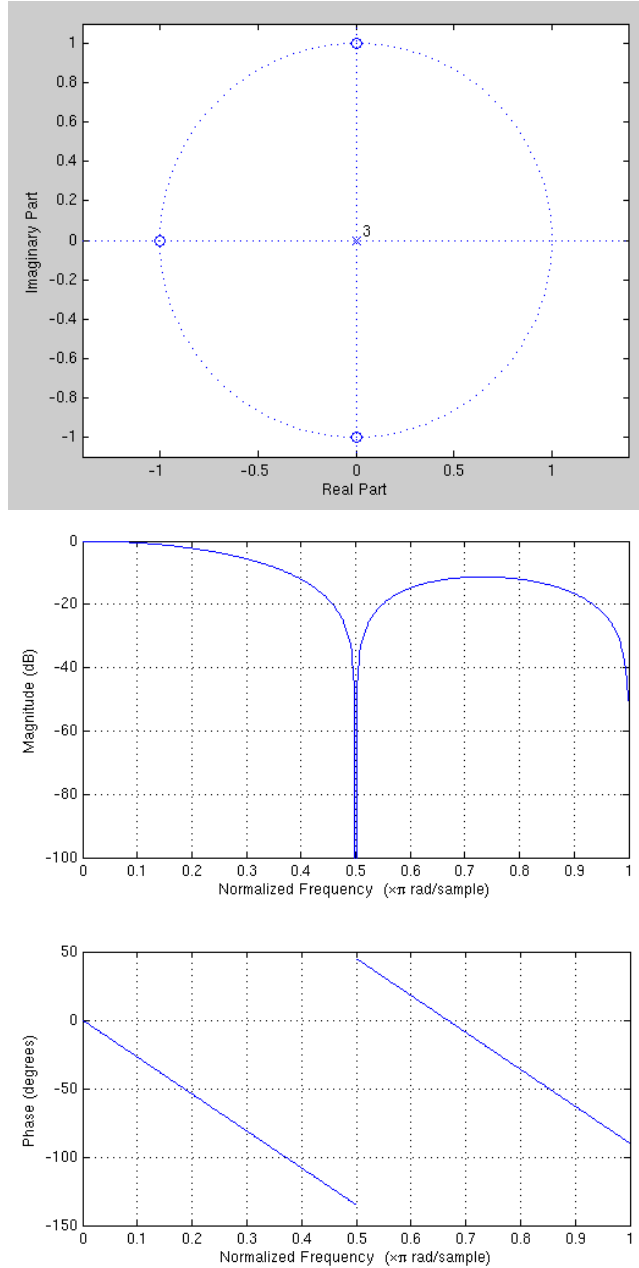


그림 35. FIR 필터의 특성

이렇게 되면 필터의 차수는 $N_{MOD,ERRFB} - 1$ 로 제한되어 $N_{MOD,ERRFB}$ 의 연산으로 필터 결과를 얻을 수 있게 된다. 이 구조를 사용하면 다운 샘플링 시 접혀 들어오는 신호 중 신호 대역에 겹치는 위치에 있는

신호들은 대부분 깎여 나가게 되어 원래의 신호에 노이즈가 접혀 들어오는 것을 방지해 준다. 또한 이 경우 모든 계수가 같은 값이 되어 결과적으로 산술 평균을 내는 구조가 된다. 더욱이, $N_{MOD,ERRFB}$ 값이 2의 배수가 되면 연산시에 곱셈기의 사용이 불필요 하게 되어 덧셈기만으로 회로 구성이 가능한 매우 단순한 구조가 된다.

$$OUT[n] = \frac{1}{N_{MOD,ERRFB}} (IN[k] + IN[k-1] + \dots + IN[1]), k=N_{MOD,ERRFB}$$

각각 1 개의 샘플에 대하여 설명한 필터를 거친 연산 결과값을 사용하게 되면 다운 샘플링 기능의 구현이 완료 된다.

이러한 신호 처리를 거친 신호는 양자화 노이즈가 셰이핑 된 후 필터링 된 결과를 갖게 되어 실질적으로 신호의 해상도가 높아지게 된다. 하지만, 이를 그대로 양자화 장치에 사용하게 되면, 신호가 빠르게 포화되어 정상 동작 하지 못하는 것을 알 수 있다. 이는 양자화 장치의 입력이 입력 신호와 거의 같아서, Feedback 된 양자화 노이즈와 입력신호가 합쳐져 신호가 포화되기 때문이다. 이러한 문제를 해결하기 위하여 그림 36 과 같이 입력 단에 차분기를 사용하고 출력 단에 적분기를 사용하였다.

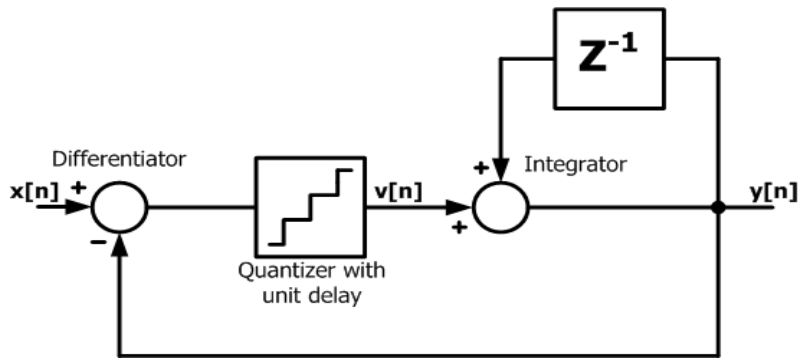


그림 36. 차분기와 적분기의 사용

이처럼 Unit Delay 를 가지는 양자화 장치 앞과 뒤에 차분기와 적분기를 넣으면 아래의 식과 같이 양자화 장치만 있을 때와 동일한 결과를 얻게 된다. 따라서, 입력신호의 크기를 크게 줄여주므로 매우 안정적인 동작을 얻을 수 있다.

$$v[n] = x[n-1] - y[n-1] + e[n]$$

$$y[n] = v[n] + y[n-1]$$

$$y[n] = x[n-1] - y[n-1] + e[n] + y[n-1]$$

$$\therefore y[n] = x[n-1] + e[n]$$

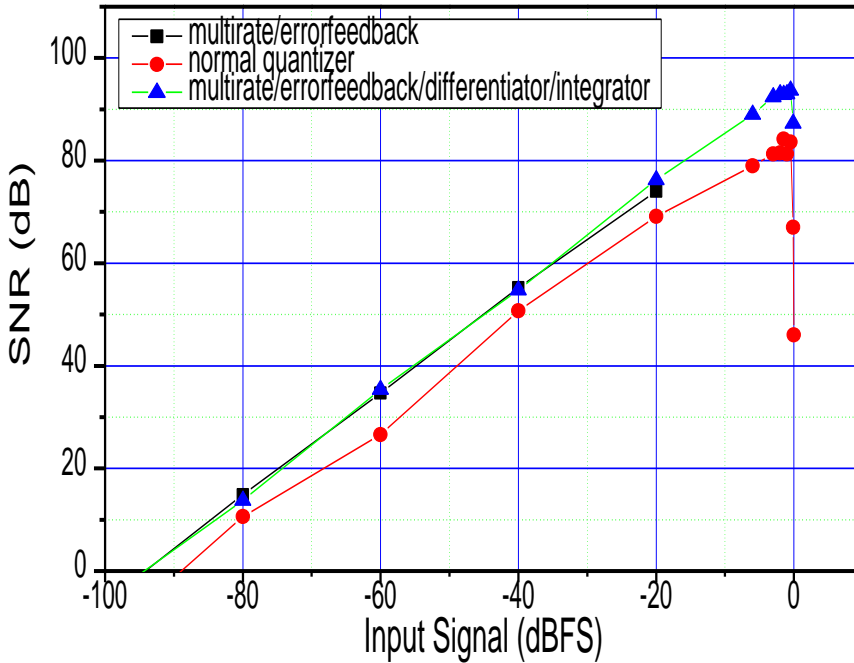


그림 37. 양자화 노이즈에 의한 신호 포화 및 차분/적분기에 의한 개선

이는 신호가 이미 Over-sampling 되어 있어서 입력신호가 매우 천천히 움직이므로, 입력신호에 양자화 노이즈가 더해지더라도 출력 신호는 입력 신호와 매우 가까운 값을 가지게 되기 때문이다.

Error Feedback 구조를 거쳐 설명한 구조를 갖는 필터를 거친 다운샘플링 된 신호는 $(N_{QLEV} - 1) * N_{MOD,ERRFB} + 1$ 개의 레벨을 갖는 신호가 된다. 이는 각 변조 시 표현되는 값이 N_{QLEV} 로 확정되어 있고, 필터 계수가 모두 같은 값을 가지므로 결국 연산 회수는 $N_{MOD,ERRFB}$ 로 확정되어 출력으로 나올 수 있는 값이 한정되기 때문이다. 여기서, N_{QLEV} 는 비교기로 구현된 실제 양자화기의 레벨 수를 의미한다. 이 구조의 목적은 적은 양자화기 레벨 수로 높은 해상도를 얻기 위함이므로 낮은 값의 N_{QLEV} 를 갖는 것을 목표로 한다. 따라서 1 개의 비교기를 사용하는 $N_{QLEV} = 2$ 인 1 bit 양자화기를

사용하거나 비교기 2 개 혹은 3 개로 구현 가능한 $N_{QLEV}=3$ 혹은 $N_{QLEV}=4$ 인 낮은 레벨 수의 양자화기를 사용한다. 예를 들어 3 레벨 양자화기에 4 배 변조를 하면 값으로 나올 수 있는 레벨 수는 위 식에 의하여 9 레벨이 된다. 따라서 이러한 구조를 사용하면 비교기는 8 개에서 2 개로 1/4 배 줄일 수 있음을 알 수 있다.

이 구조의 특이한 점은 각각의 Sample 에 대하여 시그마 델타 변조를 거치고 다운 샘플링을 진행하였지만, 출력 결과는 전체 신호가 노이즈 성형된 결과를 보인다는 점이다. 이는 각 샘플을 변조하고 다운샘플 한 값이 각각 노이즈 셰이핑된 특성을 보이기 때문이다. 이러한 특성은 제안하는 구조가 시그마 델타 변조기의 양자화 장치로 사용되면 단순히 적은 레벨의 양자화기로 높은 레벨의 양자화기를 구현할 수 있는 것 이상의 성능 향상을 가지고 온다는 것을 의미한다.

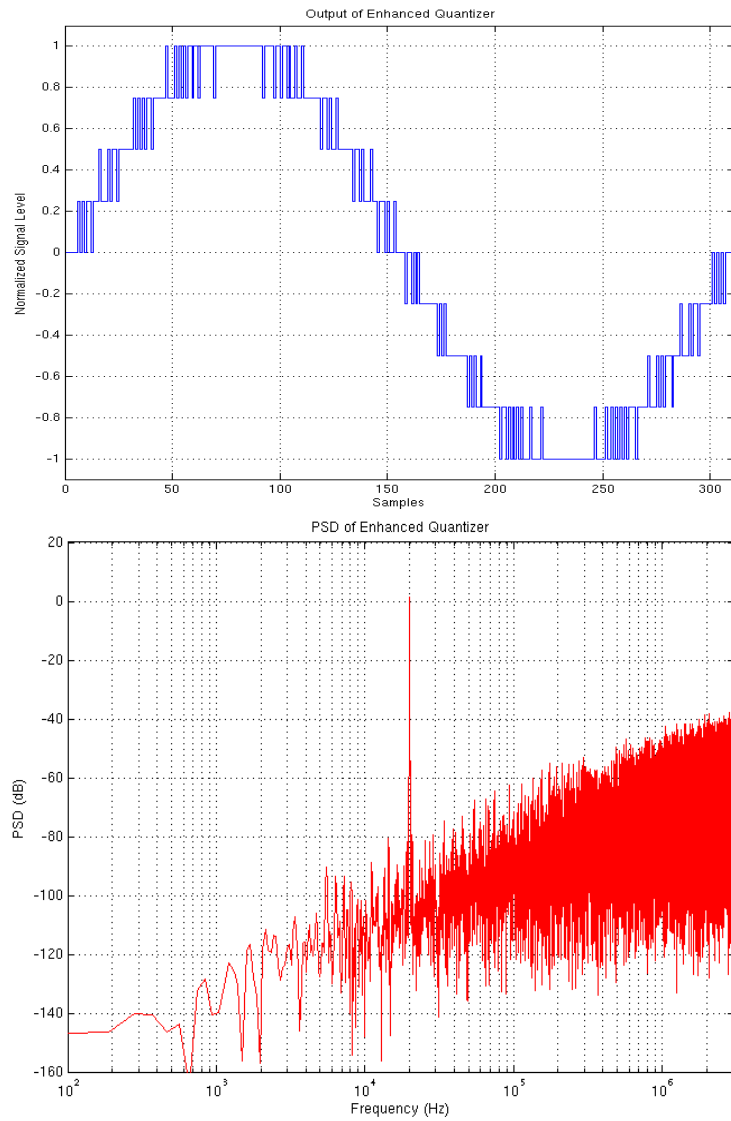


그림 38. 구현된 양자화 장치의 성능

실제 실험 해상도는 $(N_{QLEV} - 1) * N_{MOD,ERRFB} + 1$ 레벨 수로 표현할 수 있는 값보다 높게 나오는데, 이는 제안하는 구조의 결과 신호가 1 차 노이즈 성형이 되기 때문이다. 따라서 제안하는 구조가 시그마 델타 변조 장치에 사용되면 OSR 이 $OSR/N_{MOD,ERRFB}$ 이고 $(N_{QLEV} - 1) * N_{MOD,ERRFB} + 1$ 레벨을 갖는 양자화 장치에 전체 노이즈 셰이핑 차수가 1 차 높아지는 결과를 가지고 온다고 생각할 수 있다. 실제 $N_{QLEV} = 3$, $N_{MOD,ERRFB} = 4$ 를 사용했을 때의 성능은 20 kHz Sine 입력 시 ENOB 가 12.2 bit 으로 매우 높게 나오는 것을 확인할 수 있으며, 이 값은 9 레벨의 노이즈 셰이핑 된 신호로 표시됨을 그림 38 에서 확인할 수 있다.

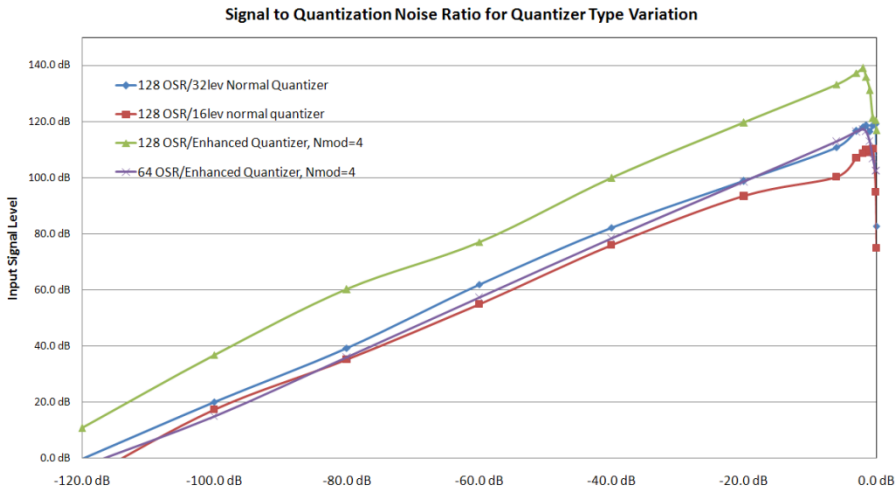


그림 39. 양자화 장치에 따른 시그마 델타 변조기의 성능 비교

실제 3 레벨의 양자화 장치에 4 배 변조를 적용한 제한된 구조를 시그마 델타 ADC 에 적용했을 때와 일반 양자화 장치를 적용했을 때와의 SQNR 성능을 비교한 결과를 그림 39 에 나타내었다. 같은 차수와 OSR 을 가지는 시그마 델타 ADC 의 경우 32 레벨의 일반

양자화 장치보다 월등한 SQNR 성능을 얻을 수 있음을 확인할 수 있다. 이처럼 제안한 구조의 양자화 장치로 인한 성능 개선 효과가 매우 크기 때문에 목표 SQNR 이 정해져 있는 상태에서는 차수를 하나 낮추고, OSR 을 낮출 수 있다. 그래프에서는 SQNR 을 동일하게 유지하기 위해서 차수를 1 차를 낮추고 OSR 을 1/4 로 낮출 수 있음을 볼 수 있다.

이러한 전체 성능의 개선은 제안한 양자화 장치 구조가 앞에서 비교한 양자화 장치들의 대안이 될 수 있음을 보여준다. OSR 을 낮출 수 있는 비율은 $N_{MOD,ERRFB}$ 값과 같다. 이는 Error Feedback 구조를 이용하여 변조를 얼마나 할 것인가가 실제로 OSR 을 높이는 것과 같은 방식으로 동작하기 때문이다. 따라서, 전체 시그마 델타 ADC 의 OSR 이 낮아지기 때문에 Error Feedback 구조의 양자화 장치는 원래 시스템 구현 속도와 동일한 속도로 동작함을 알 수 있다.

제 3 절 검증을 위한 설계 목표

위의 새로운 구조를 검증하기 위해서 새로운 설계 목표치를 설정하였다. 저 전력 동작을 목표로 하기 때문에 1.2 V 동작을 지원하는 0.13 μm Mixed Signal 공정을 사용하여 설계하였다. 성능은 Signal to Noise and Distortion Ratio (SNDR) 100 dB 를 목표로 하였으며, THD 는 -80 dB 보다 낮게 나오는 것을 설계 목표로 하였다.

전원이 낮아짐에 따라서 입력 신호 역시 같이 낮아져야 하므로, 최대 입력 전압 치는 0.943 V 에서 0 dBFS (Full Scale) 이 되도록 한다. 여기서, 0.943 V 는 $2/3 V_{\text{rms}}$ 에 해당한다. 아래 표는 각각 동작 조건과 목표로 하는 성능치를 정리한 것이다.

표 8. 동작 조건

Technology	0.13 μm 1P6M Mixed-Signal CMOS
Analog & I/O Power Supply	1.2 V
Digital Power Supply	1.2 V
Sampling Frequency	48 kHz

표 9. Sigma-Delta Modulator 목표 성능

항목	값	단위
Input Level	0.943	V
SNR (@1kHz 1Vrms)	100	dB
THD+N (@1kHz 1Vrms)	-80	dB
PSRR (100mVpp @ 1kHz)	90	dB

제 4 절 전체 구조

새로운 구조를 개발하여 시그마 델타 ADC 를 만들기 위해서는 상위 레벨 시뮬레이션에서 시그마 델타 변조기의 성능을 예측할 수 있어야 한다. 이 성능 예측을 통해서 SQNR 성능을 만족하는 NTF 를 정해야 설계를 진행할 수 있다. 설계 목표를 만족하는 SQNR 은 앞에서 기존 구조의 ADC 설계시와 마찬가지로 노이즈를 종류별로 나누어 각각이 차지하는 비율을 설정한 후, 이때 필요한 SQNR 설계 목표치를 정한다. 이 설계의 노이즈 종류별 비율은 다음 표와 같이 정하였다.

표 10. 노이즈 배분

노이즈 종류	비율 (%)
열 잡음	85.00
양자화 노이즈	5.00
기타 노이즈	10.00
합계	100.00

표에서 보는 바와 같이 설계 목표치의 SNR 을 달성하기 위한 노이즈 총량 중 양자화 노이즈는 전체의 5%를 차지하도록 설계하였다. 이 경우 목표 SQNR 은 -114 dBFS 가 된다. 이를 달성할 수 있는 OSR 과 차수 및 양자화 레벨 수를 [8]에서 찾아보면 OSR 은 64, 차수는 3, 그리고 8 정도의 양자화 레벨 수를 가지면 구현할 수 있음을 알 수 있다. 물론 다른 OSR 과 차수 및 양자화 레벨 수를 사용하여 목표하는 SQNR 을 달성할 수도 있다. 앞에서도 논의한 바와 같이 차수가 1 차 혹은 2 차인 경우 DC Offset 에 의해 Tonal 노이즈가

발생할 수 있으므로 3 차 이상의 구조 사용을 기본 조건으로 삼았다. 그리고 전체 전력 소모를 최소화 하는 방향으로 목표를 잡았기 때문에 3 차보다 높게 차수를 사용하는 것은 전력 소모 면에서 비효율적일 가능성이 높으므로 제외하여 결과적으로 3 차의 차수를 사용하기로 했다. 비슷한 정도의 성능을 내는 ADC 를 구현하면 OSR 에 따른 전력 소모의 차이는 미미한 것으로 알려져 있다. 하지만, OSR 이 높아지면 클럭 등의 스위칭 속도가 증가하여 여기서 발생한 노이즈가 아날로그 신호 처리 부분에 영향을 줄 가능성이 높아진다. 특히, 제안하는 양자화 장치는 OSR 보다 높은 주파수로 동작하기 때문에 시스템의 동작 속도가 너무 높아지지 않도록 OSR 을 선택하였다. 양자화 장치의 레벨 수 역시 고려 대상이었다. 제안하는 구조를 이용하여 양자화 장치의 해상도를 높이기 위해서는 $N_{MOD,ERRFB}$ 를 높이거나 N_{QLEV} 를 높일 필요가 있다. 전압이 낮아지는 것에 대응하기 위하여 N_{QLEV} 를 최소로 사용하는 것을 목적으로 하였으므로, 여기서는 $N_{QLEV}=3$ 을 사용하였고, 이 경우 $N_{MOD,ERRFB}=4$ 로 하면 SQNR 의 충분한 성능을 얻을 수 있다. 따라서 양자화 레벨 수는 9 가 되며, 이 경우 OSR 을 64 로 정하면 원하는 성능을 얻을 수 있음을 위의 문헌을 통하여 확인 할 수 있으므로, 이를 사용하기로 하였다.

시그마 델타 변조기의 구조는 Cascade of Resonators, Feed Forward form, Delaying Quantizer (CRFFD) 구조를 사용하였으며, 그림 40 에 그 구조를 나타내었다.

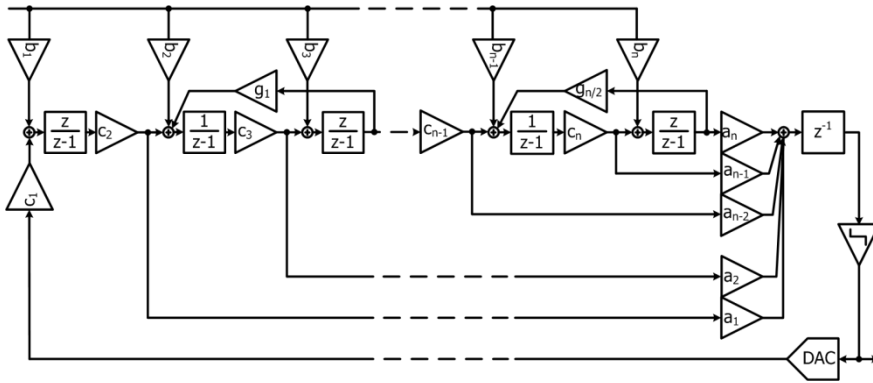


그림 40. Cascade of Resonators, Feed Forward form, Delaying
Quantizer (CRFFD)의 구조

이 구조를 제안하는 양자화 장치와 같이 사용하면 추가적인 이득을 얻을 수 있다. Feed Forward 구조는 각 적분기의 출력이 모여서 합쳐지는 위치가 필요하며, 그 위치가 양자화 장치의 앞이 된다. 따라서 양자화 장치 앞에 여러 신호를 합치기 위한 장치가 필요하다. 하지만 새로 제안하는 양자화 장치는 이러한 여러 신호를 더하는 기능을 합쳐서 구현할 수 있기 때문에 추가의 장치 없이 신호가 합쳐지는 위치를 구현할 수 있게 된다. 더욱이 CRFFD 에서 D 가 뜻하는 Delay 의 위치를 제안하는 구조의 양자화 장치에 사용할 수 있어서 전체 시그마 델타 변조기의 루프 안정도에 문제 없이 구현이 가능해 진다.

시그마 델타 ADC 의 구조를 정하였으므로 목표로 하는 SQNR 을 얻을 수 있는 계수를 구하는 것이 필요하다. 특수한 구조의 양자화 장치를 사용하였고, 전체 구조가 이에 영향을 받으므로 앞에서 설명한 CLANS 방법을 사용하여 계수를 구하려면 전략이 필요하다. 우선, Zero 의 위치는 모두 DC 에 있는 것을 목표로 한다. 이는 제안한

제 5 절 회로 구현

첫 번째와 두 번째 적분기의 Switched Capacitor 회로 구현은 기존의 일반적인 구현과 동일한 구조를 사용할 수 있다. Feedback 신호의 레벨 수가 높아져서 신호의 수가 늘고, OSR 이 낮아져서 사용되는 클럭의 주파수가 낮아졌지만, 2 Phase Non-overlapping 클럭간의 관계 역시 그대로 유지 된다. 여기서는 제안한 구조의 양자화기에 대한 구현 설명에 집중하기로 한다.

제안한 양자화 장치의 Error Feedback 구조의 구현을 위해서는 첫 번째 및 두 번째 적분기에 사용되는 $F_{SAMPLING} * OSR$ 의 클럭보다 최소한 $N_{MOD,ERRFB}$ 배 빠른 클럭이 필요하다. $N_{MOD,ERRFB}$ 배의 클럭으로 구현하는 것이 최적이었으나, 구현의 편의를 위하여 $N_{MOD,ERRFB} * 2$ 배의 클럭으로 Error Feedback 구조를 구현하였다. 따라서, $F_{SAMPLING} = 48 \text{ kHz}$, $OSR = 64$, $N_{MOD,ERRFB} = 8$ 이므로, $F_{ERRFB} = F_{SAMPLING} * OSR * N_{MOD,ERRFB} = 24.576 \text{ MHz}$ 가 된다.

회로 구현은 기본적으로 Switched Capacitor 회로와 시분할 기법을 이용하였다. 한 개의 OPAMP 를 이용하여 회로를 구현하기 위해서는 약간의 구조 변화가 필요하다. 우선 Error Feedback 구조에서 Feedback 되는 신호를 디지털 신호가 Feedback 되는 신호와 아날로그 신호가 Feedback 되는 신호로 나누었다. 디지털 신호는 DAC 을 거쳐서 Feedback 되고, 아날로그 신호는 바로 Feedback 된다. 회로의 구현을 단순화 하기 위해서 그림 41 에 있는 입력 신호들과 Feedback 신호를 더하는 덧셈기와 Error Feedback 에 들어가는 두 개의 덧셈기를 하나의 덧셈기로 합쳤다. 입력 신호를 Up sampling 하는 기능은 단순히 신호를 반복하는 방식으로 구현하였다.

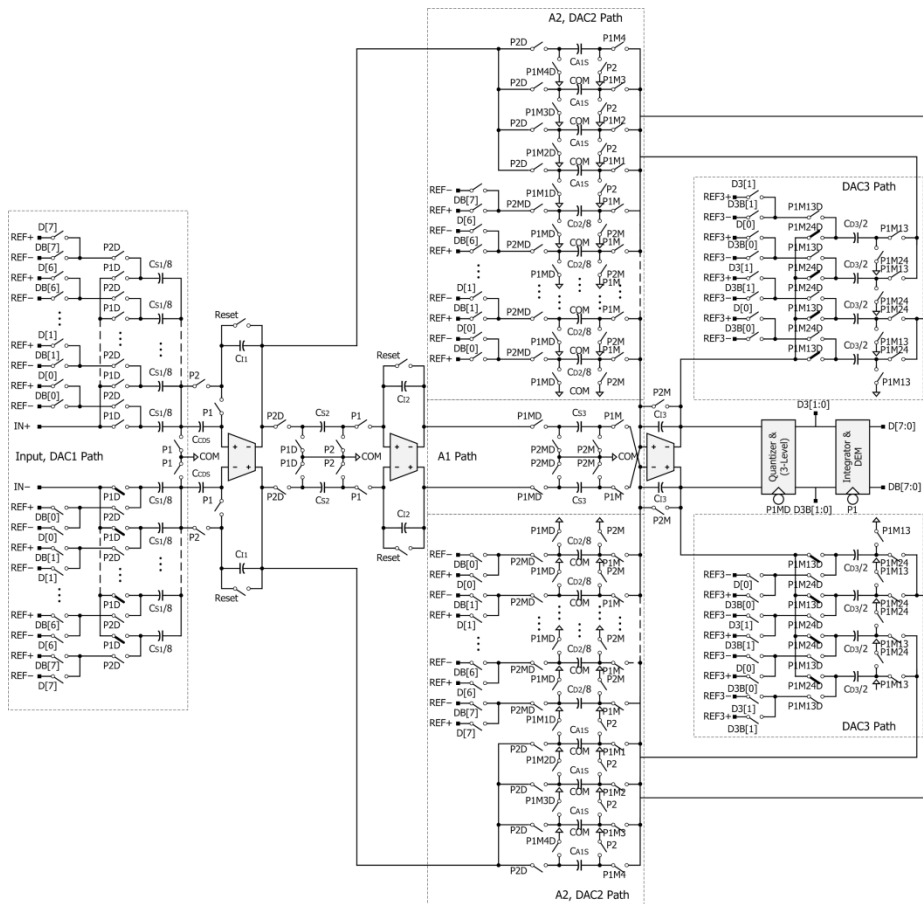


그림 43. Schematic 전체

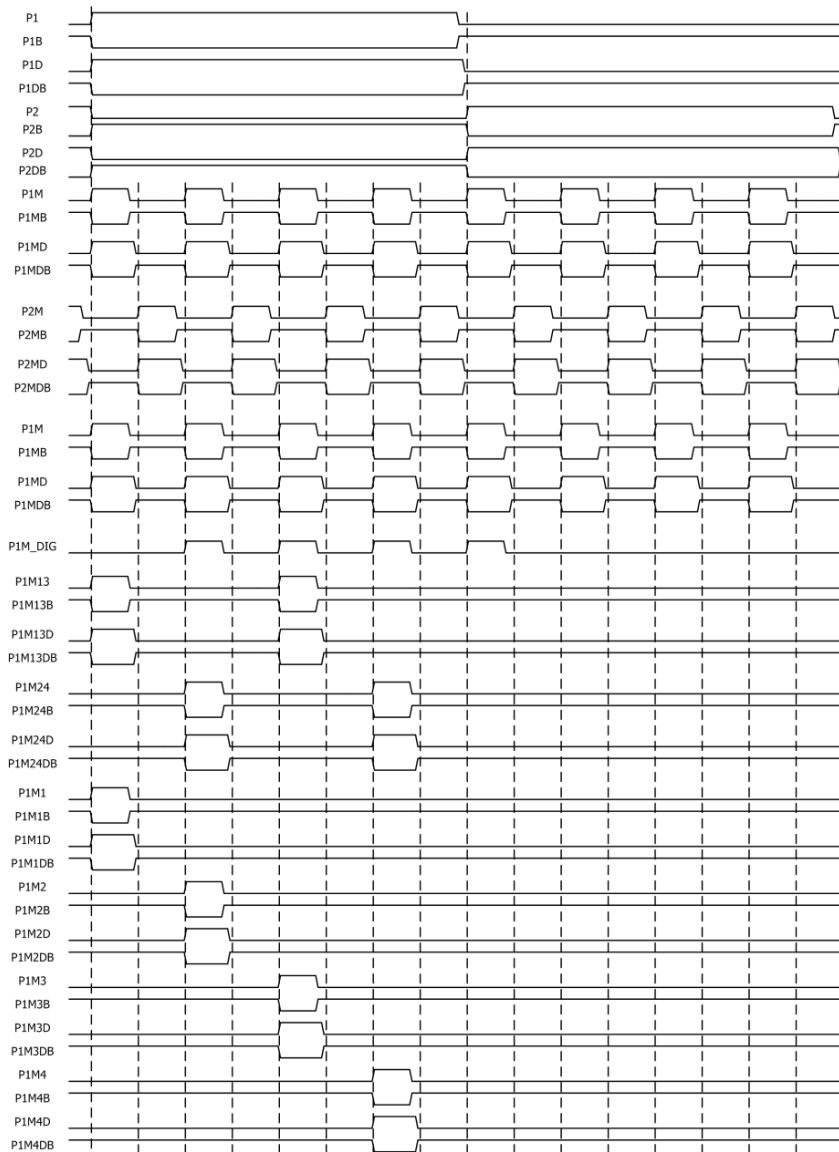


그림 44. Non-overlapping Clock

여기서 구현된 a1 값이 앞에 NTF 에서 구한 계수와 값이 다를 수 있다. 이렇게 다른 값을 사용하게 된 이유는 각 중간 State 값들이 나와서 더해지는 시점이 구현된 NTF 와 다르기 때문이다. 그림 45 은 계수 계산에 사용된 구조의 Timing Diagram 과 실제 구현된 구조의 Timing Diagram 의 차이를 나타낸다.

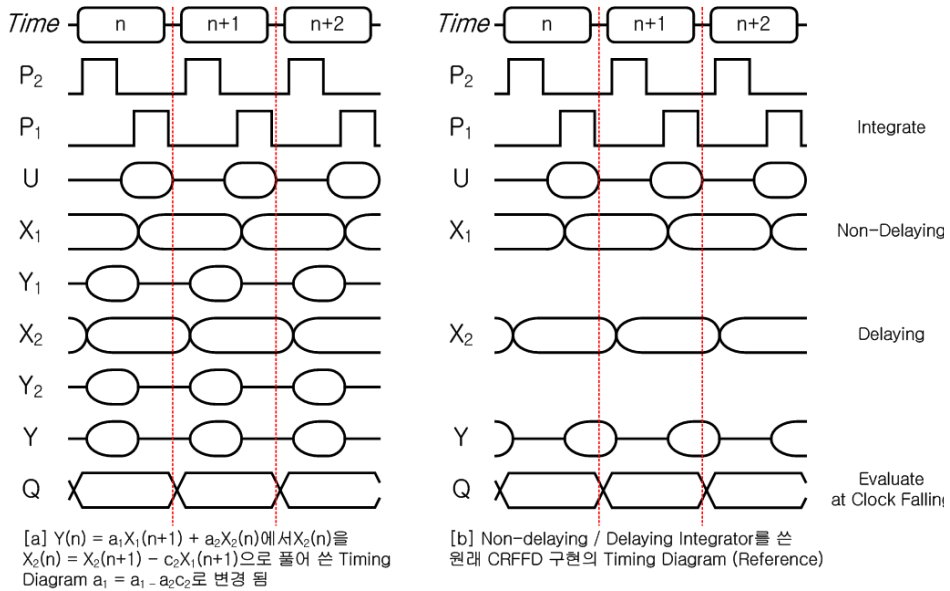
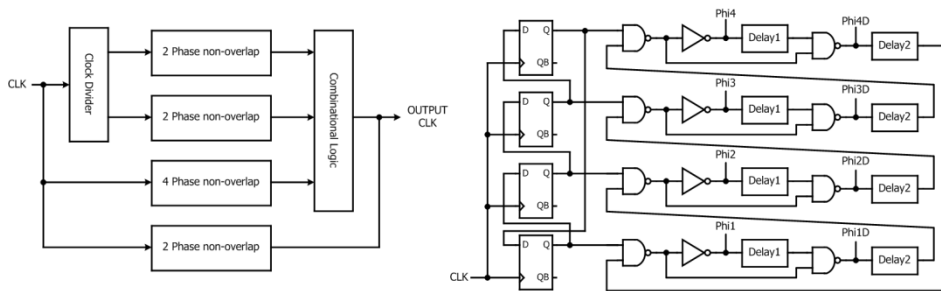


그림 45. CRFFD 기본 Timing 과 양자화 장치 구현에 따라 변경된 Timing

여기서 구현된 구조의 계수 $a1' = a1 - a2 * c2$ 가 됨을 알 수 있다. 여기서 $a1 > a2 * c2$ 이고, 실제 계산 값을 보면 계수 $a1'$ 값이 1/3 정도로 줄었다는 것을 알 수 있다. 이는 회로 구현 시 Capacitor 의 크기를 줄일 수 있는 이점으로 작용한다.

DAC1 과 DAC2 는 9 레벨 DAC 으로 Mismatch 에 의한 비선형성이 발생할 수 있으므로, DWA 와 같은 Mismatch 를 Randomize 해주는 기법을 사용해서 비선형성을 줄여주어야 한다. DAC3 는 3 레벨 DAC 으로 앞에서 설명한 바와 같이 Mismatch 에 의한 Zero 위치에 영향을 주며 $F_{zero,mismatch} = +/- 0.1\% * F_{SAMPLING} * OSR * N_{MOD,ERRFB} / N_{DOWN}$ 가 20 kHz 내에 있으면 성능에는 거의 영향이 없다고 판단할 수 있다. 이 설계에서 $F_{zero,mismatch}$ 는 6.144 kHz 로 신호 대역인 20 kHz 보다 낮으므로, Zero 는 신호 대역에 위치하여 성능에 큰 영향 주지 않는다.

여기서는 그림 44 에 나타나 있는 Non-Overlapping 클럭들을 만들기 위한 구현에 대하여 설명한다. 입력 클럭에 49.152 MHz 의 충분히 빠른 클럭을 사용할 수 있는 환경이므로, Clock Divider 와 4 Phase Non-Overlapping 클럭 발생기, 2 Phase Non-Overlapping 클럭 발생기, 그리고 Combinational 회로들을 사용하여 24.576 MHz 과 3.072 MHz 의 주파수를 갖는 Non-Overlapping 클럭을 만들어 내었다. 전체 구조는 그림 46 에 표시하였다.



CMOS 스위치

89

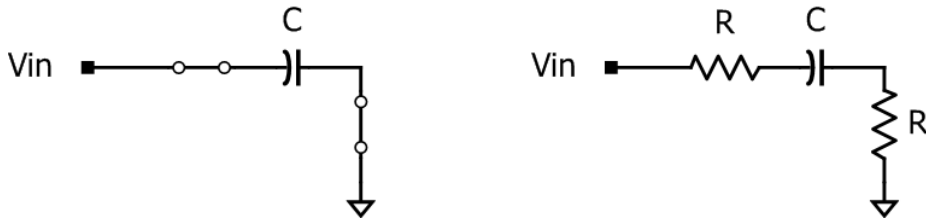


그림 47. Input Sampling 시 Switch 와 Capacitor 에 의한 RC

샘플링시 회로의 구조를 나타낸 그림 47 와 같은 스위치와 Capacitor 의 구조에서 신호는 Exponential 함수로 Settling 된다. 따라서, RC 시정수와 동작 클럭의 한 주기의 시간에 따라서 목표하는 값과의 오차율이 정해진다. R 값이 충분히 작기 때문에 신호가 클럭의 한 주기 동안 충분히 Settling 되면 입력 전압에 따라서 저항 값이 변하더라도 신호의 비선형성에 큰 영향이 없다고 볼 수 있다. 여기서는 저항은 최대값이 200 Ohm 이 되도록 크기를 조정하였으며, 이 경우 얻게 되는 Settling Error 는 약 -125 dBFS 로 충분히 낮은 값을 보인다. 따라서, 높은 전압으로 CMOS 소자에 부담이 될 수 있는 Bootstrap 스위치는 사용하지 않았다. 첫 번째 적분기 이후에 사용된 스위치는 저항의 최대값이 1.2 kOhm 정도인 CMOS 스위치를 사용하였다.

비교기

양자화 장치는 2 개의 비교기로 구성되어 있으며, 각 비교기의 구조는 이전 설계와 같이 Pre-amplifier 와 Latch 로 구성 되었다. 24.576 MHz 동작 시 25 mV 이내의 Offset 을 가지도록 설계하였다. 양자화 장치의 입력에서 원래 신호의 동작 범위는 NTF 설계 시 400

mV 로 설정하였다. 이 경우 3 레벨 비교기이므로, 한 단계의 값이 200 mV 에 달하여, 100 mV 정도의 Offset 에도 정상 동작 할 것으로 예측된다. 따라서, Offset 성능에 충분한 여유가 있으므로 신호 크기를 더 줄일 수 있게 된다. 이렇게 되면 신호 경로의 계수를 줄여서 Capacitor 의 크기를 줄일 수 있다는 장점이 있다. 입력 계수를 낮추는 대신, DAC3 의 Reference 전압을 변화 시킴으로써 계수를 낮춘 것을 보상해 줄 수 있게 된다. 이를 통하여, 제안된 양자화 장치 앞의 Capacitor 크기를 줄일 수 있었다.

Capacitor

첫 번째 적분기의 샘플링/적분 Capacitor 크기는 열 잡음을 기준으로 표 10 에 나타난 노이즈의 비율을 고려하여 크기가 선정되었다. 샘플링 Capacitor 의 값은 이전 설계에 비하여 상당히 커졌는데, 이는 작동 전압의 감소 및 목표 성능 상향 조정, 그리고 OSR 의 감소가 주요 원인이다.

두 번째 적분기와 제안하는 양자화기에 사용된 Capacitor 는 최소 단위의 10 배인 값을 기준으로 계수를 계산하여 그 크기를 정하였다. 시그마 델타 변조기에서 각 적분기 단계마다 열 잡음의 영향이 OSR 과 관계된 비율로 낮아지기 때문에 Capacitor 의 크기는 첫 번째 적분기를 제외하면 일반적으로 크게 영향을 미치지 않는다. 하지만, OSR 이 낮아지게 되면 이 효과가 줄어들기 때문에 두 번째 적분기의 열 잡음이 전체 열 잡음에 영향을 줄 수 있다. 이 경우 두 번째 적분기에 누적된 열 잡음은 이미 첫 번째 적분기에서 노이즈 셰이핑 되었으므로, 신호 대역과 신호 외 대역의 경계 부분에서의 Noise

Floor 가 상승하는 형태로 나타나게 된다. 이러한 효과를 감소시키기 위하여 최소 단위 Capacitor 의 크기보다 10 배 큰 Capacitor 를 사용하여 두 번째 적분기의 열 잡음이 성능에 영향을 주지 않도록 하였다.

제안한 양자화 장치에 사용된 Capacitor 는 열 잡음의 크기에 거의 영향을 미치지 않으므로 기본 단위 Capacitor 의 크기를 기준으로 계수를 구현하였다. 단, DAC3 의 Capacitor 크기는 원래의 계수와 다르게 설정되었다. 이는 앞의 비교기 설명에 명시된 것처럼, 계수를 줄여서 Signal 의 Range 를 줄이고 이후 단에서 복원시키는 방법을 사용하여 Capacitor 의 크기를 줄이는 방법을 적용한 결과이다.

계수 구현에 사용된 모든 Capacitor 들은 이전 설계와 마찬가지로 Parasitics 가 일정하게 보이도록 Metal 들로 감싼 MIM Capacitor(MIM)를 이용하였다.

OPAMP

이 설계에서는 적분기 및 제안하는 양자화 장치에 AB class OTA 로 구현한 OPAMP 를 사용하였다. Switched Capacitor 회로는 전하를 Capacitor 에 저장하고, 이를 다른 Capacitor 에 옮기는 방법으로 기능을 구현하는 회로이다. 이를 위해서 Capacitor 에 원하는 양의 전하를 공급해 줄 수 있는 장치가 필요하며, 이 기능을 하는 것이 OPAMP 이다.

앞에서 논한 바와 같이 회로는 OPAMP 입력 단 양단의 전압 차이가 0 이 될 때까지 OPAMP 가 Charge 를 공급하며, 이는 Exponential 한 특성을 보인다. Capacitor 의 비율에 따라서 출력 신호의 레벨이

결정되므로, 결론적으로 원하는 레벨까지 회로의 출력이 도달하는 특성 역시 Exponential 한 특성을 보이게 된다. Exponential 한 특성을 보이는 장치의 특성은 동일한 시간 동안 회로가 작동하게 되면, 입력 신호의 Level 차이와 상관없이 최종적으로 일정한 비율의 Error 가 출력에 나타나게 된다는 점이다. 이러한 특성은 시정수 값인 τ 에 영향을 받게 되며, 이 τ 의 몇 배에 해당하는 시간 동안 회로가 동작 하느냐가 회로의 정밀도를 결정하게 된다. 또한, 각 샘플 값마다 동일한 정도의 Error 를 발생시키므로 정확이 동일한 시간 동안 정확히 같은 τ 값을 갖는 회로가 동작하게 된다면 왜곡이 발생하지 않는다. 즉, 신호에 Offset 은 발생하게 되지만, 비선형적인 특성은 발생하지 않게 되므로 매우 느린 OPAMP 를 사용하더라도 신호의 비선형적인 왜곡은 발생하지 않게 된다.

하지만, 현실적으로 아날로그 회로가 정확히 Exponential 한 특성을 가지게 되는 것은 불가능하다. OPAMP 로 만들어진 Switched Capacitor 회로가 동작 시 정확히 Exponential 한 특성을 보이지 못하는 가장 큰 원인은 Slew Rate 의 제한에 의한 것이다. 입력신호로 큰 신호가 들어오게 되면, OPAMP 는 Slew Rate 제한에 의해 일정한 시간 동안 Exponential 이 아닌 선형적인 신호 증가를 보이게 된다. 시간이 지나서 Slew Rate 제한이 풀리게 되면 이후 시간 동안은 Exponential 한 특성을 보이게 된다. 이렇게 되면 신호의 크기에 따라서 Exponential 한 특성으로 동작하는 시간이 달라지기 때문에 각각의 Sample 값에 대하여 발생하는 Error 정도가 달라지게 되며 이는 입력 신호에 영향을 받는 비선형적인 신호 왜곡을 가지고 오게 된다. 결론적으로 이러한 Error 는 Harmonic Distortion 을 크게

만들어 THD 가 증가하게 만든다.

Switched Capacitor 회로 기반의 ADC 논문들에서 많이 사용되는 Class-A Amplifier 는 일반적으로 Slew Rate 가 gm/C_c 로 제한되는 구조이다(여기서 C_c 는 Compensation Capacitor 를 뜻한다). 즉, 입력 Differential Pair 의 전류가 C_c 를 충전하는 능력이 Slew Rate 를 제한하게 된다. 하지만, Class-AB Amplifier 는 Output Device 의 전류가 C_c 를 충전하는 능력이 Slew Rate 를 제한하게 되며, 특히 Class-AB Amplifier 는 출력 단의 구조가 Current Source 이고 Device 가 Saturation 영역에 있는 한 전류 공급을 제한하는 Device 가 없으므로 큰 전류의 제공이 가능하다. 따라서 Slew Rate 를 제한하는 상황을 최소한으로 줄일 수 있다. 이는 신호에 따른 Distortion 발생을 최소한으로 줄여주어, 신호의 비선형적인 왜곡을 최소한으로 줄일 수 있게 해 준다.

이에 비교하여 Class-A Amplifier 는 Slew Rate 가 제한될 가능성이 높으므로, 충분한 Tau 확보에 목표를 둔다. 따라서, 충분한 시간 동안 신호를 Exponential Settling 하도록 만들어서 앞부분에 Slew Rate 제한이 생기더라도 전체 시간에서는 적은 비율이 되도록 만드는 방식을 일반적으로 사용한다.

여기서는 Class-AB Amplifier 를 사용하여 Slew Rate 제한을 최소화 하고 $7 \sim 9 * \tau$ 정도의 시간을 Exponential Settling 하도록 하여 Error 역시 낮은 값을 유지하도록 하였다. 이러한 방식은 낮은 THD 를 요구하는 오디오 ADC 에 필요한 특성을 얻는데 유리할 것으로 예측 된다.

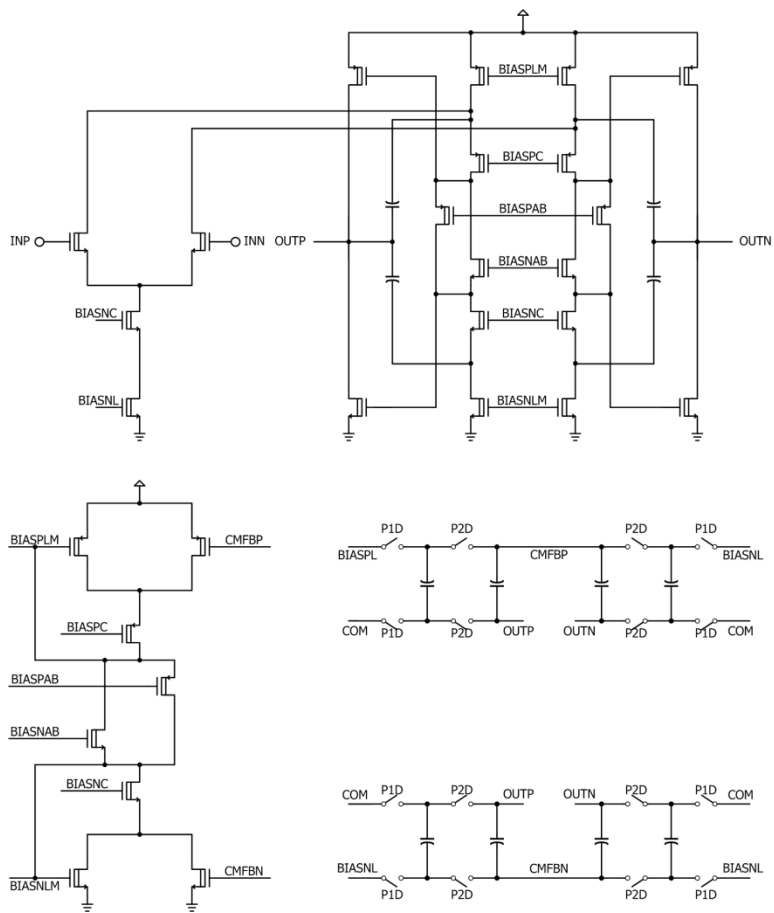
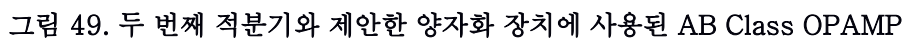


그림 48. 첫 번째 적분기에 사용된 AB Class OPAMP



위의 그림들은 실제 구현한 OPAMP 의 구조이다. 첫 번째 단은 Folded Cascode 구조의 OTA 를 사용하였으며, 이후 두 번째 단에는 Class AB Amplifier 가 사용되었다. 첫 번째 적분기는 Input Pair 로 NMOS Device 를 사용하였지만, 이후의 OPAMP 들은 PMOS 와 NMOS 를 모두 Input Pair 로 사용하는 구조를 선택하였다. 이는 기본적으로 OPAMP 의 G_m 을 최대한 평평하게 해주기 위함이지만 첫 번째 OPAMP 에 PMOS 와 NMOS 를 모두 Input Pair 로 사용하게 되면 OPAMP 의 열 잡음이 너무 커지기 때문에 NMOS Device 만을 Input Pair 로 사용하는 방식을 선택하였다.

각 OPAMP 의 Bandwidth 는 OPAMP 가 동작하는 속도에서 목표로 하는 시정수의 몇 배에 해당하는 시간 동안 동작 할 수 있는지를 기준으로 정하였다. 적분기의 Leakage 발생 등을 방지하기 위하여 높은 Gain 을 얻을수록 도움이 되며, 여기서 구현한 OPAMP 들은 모두 2 Stage 로 구성 되어 있어서 충분히 높은 Gain 을 보인다.

OPAMP 의 비선형적인 특성 역시 THD 에 영향을 주는 중요한 요소이다. 이러한 비선형성의 발생을 최소화하기 위하여 출력 신호의 전압 동작 범위 내에서 최대한 Gain 이 일정하게 유지되도록 Device 의 Bias Point 를 조정하였다.

OPAMP 의 열 잡음

OPAMP 의 열 잡음 비율은 제 4 절에서 표 10 에 나타난 것과 같이 전체 노이즈 중에서 85%의 비율을 가지도록 하였다. 하지만 실제 OPAMP 를 설계 해보면 이전 설계와 다른 결과를 얻게 되는데, 가장 큰 원인은 OPAMP 의 열 잡음이 Sampling Capacitor 의 크기뿐만

아니라 Compensation Capacitor 의 크기에도 영향을 받는다는 점이다. 2 Stage OPAMP 의 열 잡음은 대략 다음의 식과 같이 표현될 수 있다[33].

$$\overline{V_{\text{THERMAL}}}^2 \approx \frac{4kT}{C_c} \gamma(1 + NF)$$

여기서 C_c 는 Compensation Capacitor 의 Capacitance, γ 는 공정 특성 Parameter, 그리고 G_m 은 Input Pair Device 의 Transconductance 를 뜻하며, NF 는 Noise Factor 로 구조상의 Noise 가중치를 나타낸다. NF 값은 Input Pair 의 G_m 값과 기타 나머지 Load Device 의 G_m 값을 합친 것의 비가 된다. 앞에서 잠시 언급한 바와 같이 PMOS 와 NMOS 를 모두 Input Pair 로 사용하는 경우에는 NF 값에 적용되는 비율이 두 배가 되어 NF 값이 크게 증가하는 것을 알 수 있다. 따라서, 열 잡음의 영향이 큰 첫 번째 적분기에 사용되는 OPAMP 는 NF 값을 줄이기 위해서 Input Pair 를 NMOS 만 사용하였다.

Compensation Capacitor 는 Bandwidth 에도 큰 영향을 미친다. 따라서 Compensation Capacitor 가 가져야 할 최소한의 크기는 열 잡음 기준으로 계산하고, OPAMP 의 응답 특성을 고려하여 Capacitor 의 크기를 최종적으로 정하는 단계가 필요하다.

Layout

이 설계는 0.13 μm Mixed-Signal 공정을 사용하였다. Layout 시 고려한 많은 부분은 이전 버전 설계에서 고려한 점과 대부분 동일하다. 여기에 추가로, Capacitor 의 크기가 상당히 커졌기 때문에 첫 번째 적분기의 단위 Capacitor 값을 크게 키워서 사용하였다. 이렇게 첫

번째 단위 Capacitor 값을 키우는 것은 전체 Capacitance 대비 공정 변화에 의한 Capacitance 변화 크기 및 Parasitic Capacitor 의 비율이 줄어들게 되므로 전체적인 성능 변화가 적은 특성을 얻을 수 있게 된다. 그림 50 은 전체 Layout 도면을 나타내었다.

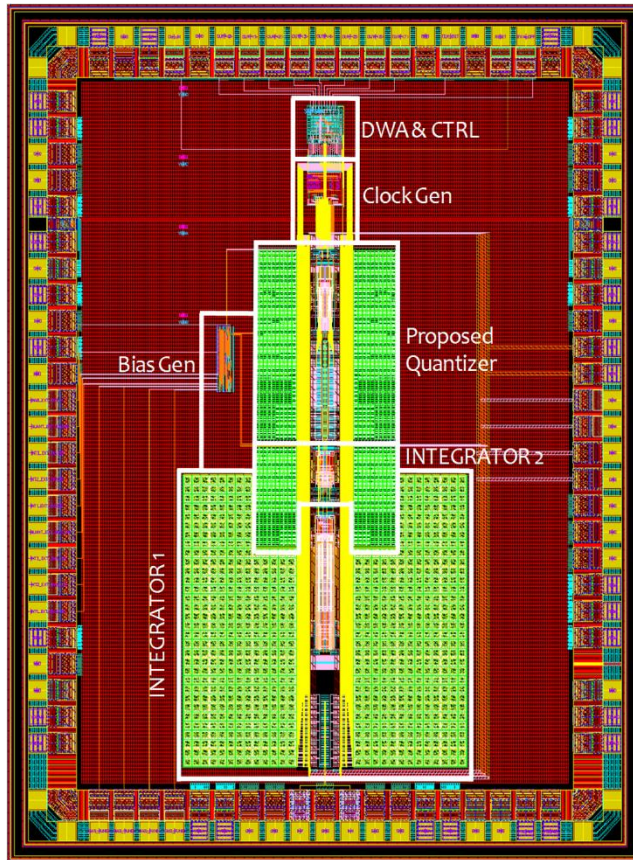


그림 50. Layout 도면

Capacitor 중 제안한 양자화 장치에 사용된 Capacitor 는 Sampling Capacitor 와 Integration Capacitor 의 Matching 이 중요하므로, 최대한 가까운 거리에 위치하도록 배치하였다.

제 6 절 설계 검증

설계 검증은 여러 단계를 거쳐서 이루어졌다. NTF 설계 및 상위 수준의 검증은 이전 버전에서 진행한 것과 동일한 단계를 거쳐서 이루어 졌다. Schematic 회로의 Transfer Function 의 검증을 위해서는 보통 시그마 델타 Loop 를 끊은 상태에서, 입력에 Impulse 를 넣었을 때 나오는 출력을 Behavioral 에서의 동일한 조건을 사용하는 것과 비교하는 방법을 사용한다. 하지만 여기서는 Multi-Rate 구조를 사용하였기 때문에 Impulse 와 같이 매우 짧은 신호는 출력 값에 반영이 되지 않는 경우가 발생할 수 있다. 따라서, 다른 방법으로 Schematic 과 Behavioral Model 간의 동일성을 확인할 필요가 생긴다. 여기서는 Impulse 대신 Sine 을 인가하여 Response 를 확인하는 방법을 사용하였다. 제안한 양자화 장치 내부에 Feedback 이 존재하고, 1 차 시그마 델타 변조한 출력을 내보내기 때문에 Sine 입력을 넣어도 값이 Saturation 하기까지 시간이 걸린다. 이처럼 중간 값들을 비교할 수 있는 충분한 Sample 을 얻을 수 있기 때문에, Impulse Response 를 이용했을 때와 마찬가지로 Behavioral Simulation 을 바탕으로 상당히 높은 정확도로 구현한 구조의 동일성을 확인할 수 있다. 이러한 Open Loop 검증을 바탕으로 첫 번째와 두 번째 적분기를 포함하여 제안한 양자화 장치의 동작 검증이 가능하다.

이전 버전은 시그마 델타 루프 내에 DWA 블록을 제외한 디지털 Logic 은 없었기 때문에 SPICE Simulator 로 Simulation 을 하는데 큰 문제가 없었다. 하지만, 제안한 양자화 장치는 시그마 델타 루프 내에 여러 디지털 Logic 이 들어가 있기 때문에 SPICE 로

Simulation 을 하기 위해서는 추가적인 기법이 필요하다. 우선 Verilog-A 를 이용하여 디지털 Logic 과 동일한 기능을 하도록 구현하여 검증한 이후에, 디지털 Logic 을 합성하여 Netlist 를 Logic 으로 변환하는 순으로 검증을 진행하였다. Verilog-A 로 구현하는 단계를 더 거치면 일반적으로 Simulation 검증 시간을 줄일 수 있다. 이는 Verilog-A 와 같이 기능적으로 구현된 코드의 Simulation 이 Transistor 수준으로 기술된 Netlist 의 Simulation 보다 빠르기 때문이다. 구현 자체의 난이도는 비슷하기 때문에, SPICE Simulation 진행 시 디지털 Logic 회로를 포함하는 경우 큰 도움이 될 수 있다.

디지털 Logic 은 Verilog 로 코딩한 후 합성하였다. 이렇게 합성한 코드는 입출력을 저장하여 Verilog-A 로 만든 코드와 1:1 매칭이 되는가를 검증하여 동작의 동일성을 확보하였다.

전체 성능 검증은 이전과 마찬가지로, 열 잡음을 포함한 Transient Noise simulation 을 이용하여 그림 51 과 같은 결과를 얻었으며, 이 결과를 FFT 하여 SNR 을 얻었다. SNR 은 102.5 dB, SNDR 은 99.4 dB 로 예상되었다.

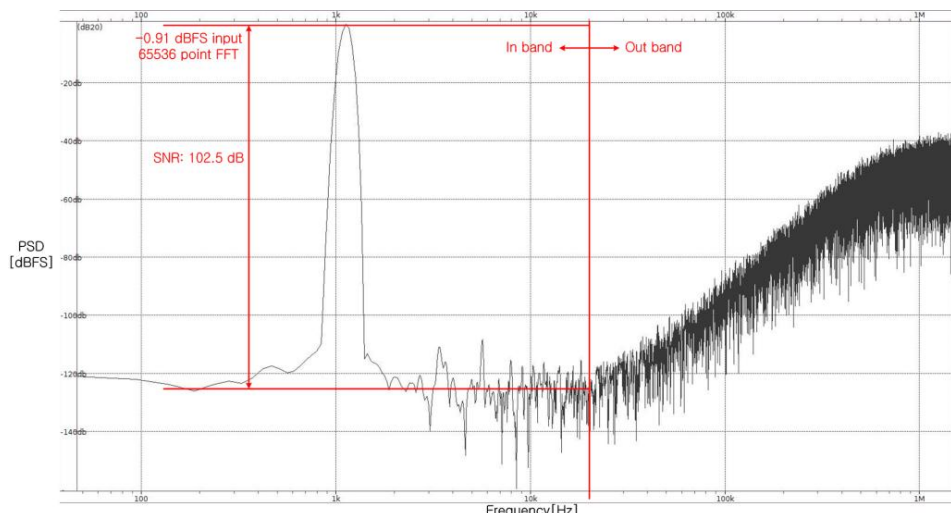


그림 51. AMNSAR2 Transient Noise Simulation 결과

제 7 절 결론

반도체 공정의 발전에 따른 전원 전압 저하에 대처 하기 위하여 새로운 양자화 장치를 제안하였으며, 이를 이용하여 SNR 100 dB 의 고품질 오디오용 ADC 를 개발하였다.

제안한 양자화 장치는 Error Feedback 을 이용한 시그마 델타 변조기와 아날로그 차분기, 그리고 디지털 적분기를 사용하여 적은 수의 비교기를 가지고 양자화 장치의 해상도를 크게 높였다. 이 양자화 장치를 시그마 델타 ADC 에 사용함으로써 충분한 SQNR 성능을 얻을 수 있기 때문에 OSR 과 차수를 줄일 수 있었다.

위의 양자화 장치를 이용하여 SNR 100 dB 의 높은 성능을 가지는 시그마 델타 ADC 를 64 OSR 로 동작하는 2 차 시그마 델타 변조기 구조로 구현하였다. 양자화 장치에서는 2 개의 비교기 만을 사용하였으며, Error Feedback 구조를 구현하기 위한 Switched Capacitor 회로와 기타 디지털 회로가 추가되었다.

이와 같이 새로운 양자화 장치를 이용한 설계 방법론을 확립하였으며, 성능 또한 확인 하였다.

제 4 장 결론 및 차후 계획

본 논문에서는 기존 정보들을 통해 오디오용 시그마 델타 ADC의 개발에 필요한 설계 방법론을 검토하고, Multi-bit 시그마 델타 ADC에 사용되는 양자화 장치를 전원 동작 범위가 아닌 주파수 영역 변조를 통해 해상도를 개선 방법을 제시하였다. 이를 통해서 반도체 공정 발전에 있어 많은 문제점을 발생시키고 있는 동작 전압 저하에 대비하여 ADC의 양자화 장치 설계를 개선할 수 있는 새로운 해결 방법을 제시하였다.

기존 설계 방법론의 검토 및 검증을 통하여 Consumer 오디오 시장에 적용 가능한 오디오용 시그마 델타 ADC를 개발하였으며, 독자적인 ADC를 구성하기 위해 필요한 Single To Differential Converter, Decimator, 시리얼 오디오 인터페이스 등의 주변 장치들 역시 개발하였다. 여기서 정립한 설계 방법론에 기반하여 새로이 제안한 양자화 장치를 적용한 High-Fidelity 오디오 시장에 사용 가능한 높은 성능의 시그마 델타 ADC를 설계하였다.

제안한 구조의 양자화 장치를 사용하면 시그마 델타 변조기의 차수를 1차 높일 수 있고 실효 해상도 역시 크게 높아지기 때문에, 상대적으로 OSR을 낮출 수 있다. 이러한 특징은 시그마 델타 변조기의 기본 동작 주파수를 낮추어 회로 구현상의 이득을 얻을 수 있다. 또한, 제안한 양자화 장치의 동작 주파수 역시 내려가므로, 일반 양자화 장치를 사용했을 때의 동작 주파수와 같거나, 그보다 2배 빠른 주파수 정도로 양자화 장치 구현이 가능하다.

따라서, 이 양자화 장치를 시그마 델타 ADC에 적용함으로써 높은 주파수의 사용 없이 적은 수의 비교기를 사용하여 높은 해상도의

시그마 델타 ADC 구현이 가능함을 보였다.

양자화 장치의 해상도를 전압 레벨과 분리하는 것은 앞으로 더욱 낮아질 가능성이 높은 동작 전압의 변화에 적합한 구조이다. 저 전력이 주요 성능 지표인 모바일용 오디오 시그마 델타 ADC 개발에 적합하다 판단되며 반도체의 발전에 맞춰 향후 오디오용 시그마 델타 ADC 뿐만 아니라 다른 다양한 응용 분야를 목표로 하는 시그마 델타 ADC 의 양자화 장치로도 적용이 가능할 것으로 기대한다.

참고 문헌

- [1] G. E. Moore, "Cramming more components onto integrated circuits," McGraw-Hill, 1965.
- [2] A.-J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout, "Analog circuits in ultra-deep-submicron CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 1, pp. 132-143, 2005.
- [3] H. Spang III, and P. Schultheiss, "Reduction of quantizing noise by use of feedback," *Communications Systems, IRE Transactions on*, vol. 10, no. 4, pp. 373-380, 1962.
- [4] M. Ortmanns, and F. Gerfers, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations*: Springer Heidelberg, 2006.
- [5] T. D. Rossing, F. R. Moore, and P. A. Wheeler, *The science of sound*: Addison-Wesley Massachusetts., 1990.
- [6] W. A. Kester, *The data conversion handbook*: Access Online via Elsevier, 2005.
- [7] C.-G. Tsai, "Helmholtz' s nasality revisited: physics and perception of sounds with predominance of upper oddnumbered harmonics."
- [8] R. Schreier, and G. C. Temes, *Understanding delta-sigma data converters*, Piscataway, NJ; Hoboken, N.J.; Chichester: IEEE Press; Wiley ;, 2005.
- [9] L. D. Fielder, "Human Auditory Capabilities and Their Consequences on Digital-Audio Converter Design."
- [10] A. A. Hamoui, and K. W. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low-oversampling $\Delta\Sigma$ ADCs for broad-band applications," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 51, no. 1, pp. 72-85, 2004.
- [11] R. Behzad, "Design of analog CMOS integrated circuits," *International Edition*, 2001.
- [12] A. Goudie, "Idle Tones in Oversampling ADCs."
- [13] J. G. Kenney, and L. R. Carley, "Design of multibit noise-shaping data converters," *Analog integrated circuits and signal processing*, vol. 3, no. 3, pp. 259-272, 1993.
- [14] R. J. Baker, *CMOS: mixed-signal circuit design*: Wiley. com, 2008.
- [15] A. M. Abo, "Design for reliability of low-voltage, switched-capacitor circuits," University of California, 1999.
- [16] O. Oliaei, "Noise analysis of correlated double sampling SC integrators with a hold capacitor," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 50, no. 9, pp. 1198-1202, 2003.
- [17] K. Bult, and A. Buchwald, "An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- μm 2σ ," *Solid-State Circuits, IEEE Journal of*, vol. 32, no. 12, pp. 1887-1895, 1997.

- [18] A. Yukawa, "A cmos 8-bit high-speed a/d converter ic," *Solid-State Circuits, IEEE Journal of*, vol. 20, no. 3, pp. 775–779, 1985.
- [19] C. Feng, and B. H. Leung, "A high resolution multibit sigma-delta modulator with individual level averaging," *IEICE Transactions on Electronics*, vol. 78, no. 6, pp. 701–708, 1995.
- [20] B. H. Leung, and S. Sutarja, "Multibit $\Sigma-\Delta$ A/D converter incorporating a novel class of dynamic element matching techniques," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 39, no. 1, pp. 35–51, 1992.
- [21] R. T. Baird, and T. S. Fiez, "Linearity enhancement of multibit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 42, no. 12, pp. 753–762, 1995.
- [22] O. Choksi, and L. R. Carley, "Analysis of switched-capacitor common-mode feedback circuit," *Circuits and Systems II: Analog and digital signal processing, IEEE Transactions on*, vol. 50, no. 12, pp. 906–917, 2003.
- [23] E. Hogenauer, "An economical class of digital filters for decimation and interpolation," *Acoustics, Speech and Signal Processing, IEEE Transactions on*, vol. 29, no. 2, pp. 155–162, 1981.
- [24] Y.-J. Cho, K.-H. Lee, H.-C. Choi, S.-H. Lee, K.-H. Moon, and J.-W. Kim, "A calibration-free 14b 70MS/s 3.3 mm² 235mW 0.13 μ m CMOS pipeline ADC with high-matching 3-D symmetric capacitors." pp. 485–488.
- [25] J. Bastos, M. Steyaert, R. Roovers, P. Kinget, W. Sansen, B. Graindourze, A. Pergoot, and E. Janssens, "Mismatch characterization of small size MOS transistors." pp. 271–276.
- [26] B. Murmann, P. Nikaeen, D. Connelly, and R. W. Dutton, "Impact of scaling on analog performance and associated modeling needs," *Electron Devices, IEEE Transactions on*, vol. 53, no. 9, pp. 2160–2167, 2006.
- [27] S. R. Norsworthy, R. Schreier, G. C. Temes, and IEEE Circuit & Systems Society., *Delta-Sigma data converters : theory, design, and simulation*, New York: IEEE Press, 1996.
- [28] B. Razavi, *Principles of data conversion system design*: IEEE press New York, 1995.
- [29] L. Samid, and Y. Manoli, "A multibit continuous time sigma delta modulator with successive-approximation quantizer." p. 4 pp.
- [30] T. Oh, N. Maghari, and U. Moon, "A Second-Order $\Delta\Sigma$ ADC Using Noise-Shaped Two-Step Integrating Quantizer," 2013.
- [31] A. Iwata, N. Sakimura, M. Nagata, and T. Morie, "The architecture of delta sigma analog-to-digital converters

- using a voltage-controlled oscillator as a multibit quantizer," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 46, no. 7, pp. 941–945, 1999.
- [32] R. Schreier, "Mismatch-shaping digital-to-analog conversion."
- [33] R. Schreier, J. Silva, J. Steensgaard, and G. C. Temes, "Design-oriented estimation of thermal noise in switched-capacitor circuits," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 52, no. 11, pp. 2358–2368, 2005.

Abstract

This thesis proposes a way to design a multi-bit quantizer of a sigma delta ADC with less number of comparators than that of the conventional design with performance improvement. The method uses the error-feedback based sigma delta modulation and an additional analog differentiator and a digital integrator to implement the quantizer. Applying the quantizer on a sigma delta ADC results in a large resolution enhancement with additional noise shaping effects. The advantages make it possible to reduce resources such as the oversampling ratio, the order of ADC and etc.

To confirm the performance of the quantizer, design method is established with an audio sigma delta ADC design for consumer electronic application. Based on the conventional design method, additional efforts added to precisely estimate the performance of designed sigma delta ADCs. A sigma delta modulator with 3rd order, 256 OSR, 4 level quantizer structure is used to achieve over 90 dB SNR which is required for audio applications. Psychoacoustic properties are concerned for better audible performance. Various peripherals for ADC such as a single to differential converter, a decimator, and a digital serial audio interface are implemented to design a standalone audio ADC. The design method has been confirmed in silicon with less than 3 dB SNR difference. SNR of 94.3 dB and

THD+N of -91.3 dB are measured for the sigma delta ADC core. This ADC has been implemented in $0.13\text{ }\mu\text{m}$ CMOS mixed-signal process with 3.3 V supply voltage operation.

The proposed quantizer is applied to a low voltage audio sigma delta ADC. The ADC uses 1.2 V supply voltage with $0.13\text{ }\mu\text{m}$ CMOS mixed-signal process. The 100 dB SNR ADC is designed using 2^{nd} order, 64 OSR, and the suggested quantizer with 2 comparators and additional digital logics. As expected, the sigma delta modulator shows adequate signal to quantization noise ratio performance with the quantizer so that OSR can be reduced. Less number of comparator on the quantizer relaxes requirements from supply voltage reduction. The design achieves 102.5 dB SNR and 99.4 dB SNDR.

Keywords: Audio, Sigma Delta ADC, Low voltage, Quantizer, Multi-bit

Student Number: 2010-30231